

論文 シリコンカーバイド パワー MOSFETs

Silicon Carbide Power MOSFETs

マルハン ラジェシュ クマール
Rajesh Kumar MALHAN

原 邦彦
Kunihiko HARA

Wide band gap semiconductor silicon carbide (SiC) is of prime interest for developing the high performance MOS based low loss power devices for high speed switching applications. These ideal switches will revolutionize the fundamental inverter technology of motor drive and HVDC transmission systems. This paper provides an overview of recent advances in SiC-MOSFET design and device processing technologies. The design concept of normally-off epi-channel field effect transistor (ECFET), which utilizes the larger channel mobility in the accumulation-layer is described. The challenges for power device development beginning from SiC crystal quality to key device processing are discussed.

Key words : Silicon carbide, MOSFET, Accumulation-mode, JFET effect, Thermal oxide, Interface traps, Ion-implantation.

1. はじめに

Siは今日のエレクトロニクス全般における主要な材料として発展してきたが、SiCは21世紀におけるパワーエレクトロニクスの材料として期待されている。Siに対するSiCの材料的な優位性は、2～3倍のバンドギャップ、10倍のアバランシェ電界強度、2.5倍の飽和電子速度、3倍の熱伝導率をもつことである¹⁾。Fig. 1に4H-SiCの主な物性値をSiと比較する。

SiCは熱酸化によってSiO₂ゲート酸化膜を形成することができるため、他の化合物半導体と比較して、主にMOSデバイスの製造に優れたポテンシャルが期待されている。SiCパワーデバイス(ショットキバリアとpinダイオード, MOSFET, IGBT, GTO)と高周波デバイス(MESFET, SIT, RF JFET)が、最近10年間活発に研究されている。

SiCデバイスの応用としては、自動車用的高温センサやモータドライブシステム、航空宇宙電子工学、高電圧直流送電、レーダー、移動体通信等が挙げられる²⁾³⁾⁴⁾⁵⁾。最近、モータドライブシステムと高電圧直流送電に必要な高耐圧、高電流駆動能力が可能なSiC MOSFETの作製技術において大きな進展がみられるようになった。

SiC MOSFETは既にSiパワーデバイスのオン抵抗の理論限界を越えたが、SiCの材料から理論的に期待される性能は、いまだに実現されていない。これは主に、SiCの結晶としての品質とデバイスプロセス技術が、まだ十分に発達していないという事実による。

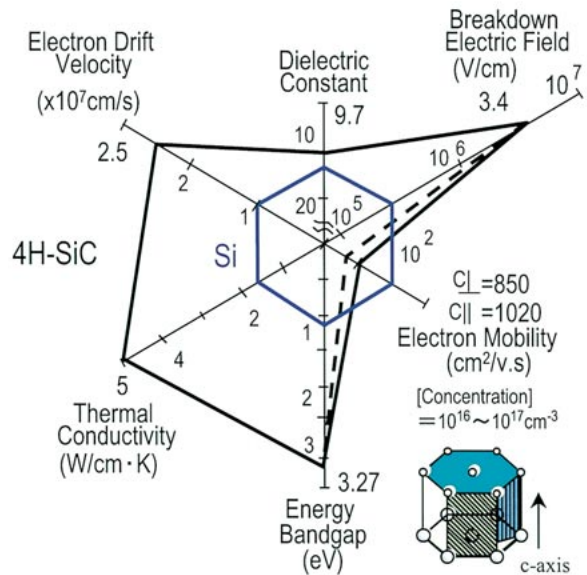


Fig.1 A comparison of physical properties of 4H-SiC with Si.

未解決の課題としては、(1) マイクロパイプ欠陥と転位がない大面積SiCウエハの開発 (2) 高温において高い信頼性がある高品質MOS界面の実現 (3) イオン注入による高活性化率p形ドーピング技術等が挙げられる。本論文では実用的なSiCパワーデバイスを実現するうえで重要なSiC MOSFETの設計とキーデバイスプロセスにおける最近の進展を概観する。

* (社)電子情報通信学会の了解を得て、論文誌C Vol.J83-C No.11の招待論文pp979-989(2000.11)より一部修正して掲載。

2. SiC パワー MOSFET の設計

パワー SiC MOSFET は二つの基本的デバイス構造すなわち、(1) プレーナ型 MOSFET (2) トレンチ型 MOSFET が、通常用いられる。トレンチ構造は JFET 抵抗成分が存在せず、チャンネルが基板に垂直でトレンチの側壁に形成されているため、ユニットセルの高密度集積化に有利な構造であり、オン抵抗 R_{on} の低減に有効である⁶⁾。

しかし、(1100) あるいは (1120) 面のトレンチ側壁に形成された MOS 界面の品質は、(0001) 面に形成された MOS 界面に比べて劣っているため、MOSFET の反転層チャンネル移動度が低い⁷⁾。この結果、SiC トレンチ型 MOSFET は高い R_{on} になる。トレンチ型 MOSFET の他の課題として、トレンチコーナー部の電界集中によって引き起こされるゲート酸化膜の絶縁破壊を伴うブレイクダウンが挙げられる。更に RIE によって形成されたトレンチ側壁上の反転層チャンネル移動度は、研磨表面上に比べてかなり低いことがわかっている。

従って、これらの要因がデバイス特性に重大な影響を与える。これに対して、プレーナ構造はゲート領域付近で電界集中が起らないため、高耐圧への応用に非常に有利である。SiC では不純物の拡散係数が非常に小さいため、実用的なプロセスにおいては拡散がないと考えてよい。従って、p ベース領域と n⁺ ソース領域がイオン注入によって作製されること以外は、SiC のプレーナ型 MOSFET 構造は Si の DMOSFET 構造と似ている。プレーナ構造では R_{on} は JFET 抵抗成分の存在により増加する。プレーナ型 MOSFET でも低い反転層チャンネル移動度が報告されている。6 H-SiC MOSFET の反転層チャンネル移動度で最もよい値は、バルク移動度の 1/3 以下である 50 ~ 80 cm² / V·s である。

高品質 SiC / SiO₂ 界面すなわち、界面準位密度を低減することが高い反転層チャンネル移動度を得るうえで必要不可欠である。反転層チャンネル移動度が低い原因は、MOS 界面の品質が悪いことによる。高い界面準位密度によるクーロン散乱は反転層チャンネル移動度を低下させる。その結果、MOSFET のオン抵抗 R_{on} は高くなる。SiC 材料の性能を最大限に引き出すためにデバイス設計技術と平行して、SiC デバイスのプロセス技術が研究されている。デバイス設計の視点で、SiC MOSFET における低い反転層チャンネル移動度を解決するための取り組みが進められている。

2.1 蓄積モード SiC MOSFET

1997 年に我々は、n 形に低濃度ドーピングしたエピチャンネルを有する革新的なトレンチ型とプレーナ型の蓄積モード MOSFET 構造すなわちエピチャンネルトランジスタ (ECFET)⁸⁾ を提案した。ECFET は MOS 構造を形成するために、p ベース領域上にチャンネル層をエピタキシャルで成長することを主な特徴とする。このエピタキシャル層で形成されたチャンネル領域と p ベース領域のドーピング濃度を独立に制御することができる。ECFET はチャンネル領域のドーピング濃度と p ベース領域のドーピング濃度を独立に制御することによって、高耐圧、低オン抵抗、低閾値電圧を有するパワー MOSFET を設計することが可能である。

従って、チャンネル領域のドーピング濃度とは独立に p ベース領域のドーピング濃度を高くすることができるため、p ベース領域の厚さを低減することが可能である。このため、反転モード構造と比較してトレンチ型では、 R_{on} のチャンネル成分を、プレーナ型では R_{on} の JFET 成分を低減することができる。更に蓄積モードの電気伝導ではチャンネルの深さが反転層モードに比べて 5 ~ 10 倍深い。従って、電気伝導が界面状態から受ける影響は小さくなる。蓄積モードのチャンネル移動度は、電界の緩和によって反転層チャンネル移動度より高くなることが期待される。エピタキシャル成長した n 形チャンネル層は、p ベース領域とエピチャンネル領域間の仕事関数の差による電位と、エピチャンネル領域とポリシリコンゲート電極間の仕事関数の差による電位によって完全に空乏化させることができる。

この新しい構造は、アバランシェ降伏条件まで耐えられるものである。我々は初めて、約 10.9 m² cm² の R_{on} を有する蓄積モード 4 H-SiC トレンチ ECFET を報告した。同様な蓄積モードのトレンチ側壁チャンネルを用いて、1400 V の耐圧 (Bv) で、15.7 m² cm² のオン抵抗 R_{on} を有する 4 H-SiC IOP-ACCUFET が報告された⁹⁾。このデバイスのデバイス性能指数 (BV² / R_{on}) は 125 MW / cm² であり、SiC パワー MOSFET の理論限界に比べて 25 倍以上高い。

Fig. 2 は現在報告されている SiC パワー MOSFET の R_{on} と Bv をプロットしたものである。SiC MOSFET の理論限界と 4 H-SiC MOSFET の理論限界も記入してある。Chilukuri ら¹⁰⁾ はプレーナ ACCUFET の作製方法について報告した。蓄積モードのチャンネル移動度は、6 H-SiC ACCUFET において 120 cm² / V·s であった。

しかし、彼らは p ベース領域の B が拡散するという

問題を指摘している．通常ハイパワーデバイス応用では，ユニットセルのピッチを減らすために，単位セルの微細化が求められる．しかし，Bが拡散するとpベース領域間の距離が小さくなるため，ユニットセルを小さくすることができない．我々はプレーナ 4H-SiC ECFET のpベース領域のBが横方向および縦方向に拡散することを制御するC / B組み合わせイオン注入を用いた革新的なイオン注入プロセスを報告した¹¹⁾．

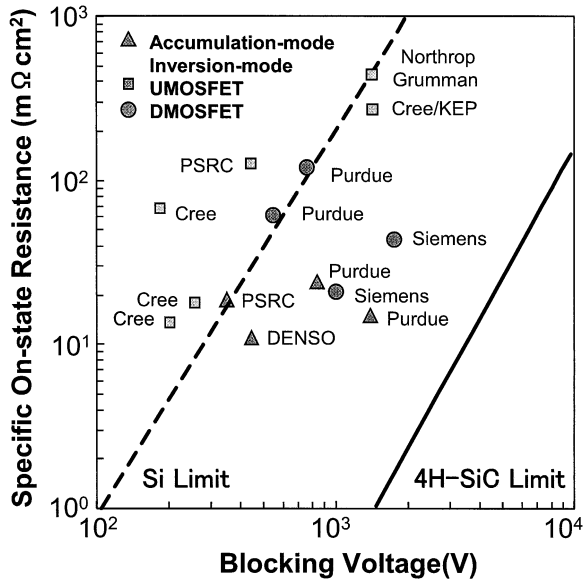


Fig.2 Present status of specific on-state resistance and blocking voltage for SiC power MOSFETs.

我々はC / B組み合わせイオン注入によって形成されたBのディープレベルと，Bの拡散との関係を実験的に確立した．また第1原理計算によってSiC中へのB拡散を支配しているのは，空孔メカニズムであることを提案した^{12),13)}．組み合わせイオン注入したC濃度がB濃度と等しいかあるいは，それ以上の場合にはBの拡散が完全に抑制されることを見出した¹⁴⁾．

我々が提案した蓄積モードのプレーナECFETの断面模式図をFig. 3示す．この図にはデバイス設計の際に重要な問題になるデバイスの電気特性を劣化させるBの縦方向および横方向の拡散を示してある．JFET領域へのBの横方向の拡散の結果，作製されたデバイスが高いRonになったり，JFETピンチ効果によって，電気伝導が制限されることになる．(0001)面の4H-SiC n / n⁺ シングルエピウエハを用いてプレーナ型ECFETを作製した．デバイス作製の詳細は他の文献に記載してある¹¹⁾．

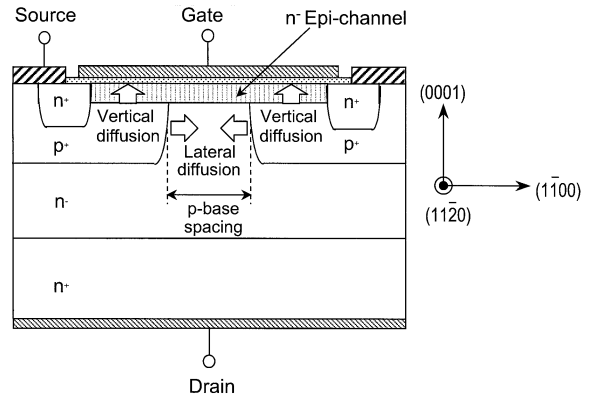


Fig.3 Schematic cross-sectional structure of accumulation mode planar epi-channel field effect transistor (ECFET).

Bの横方向の拡散がある場合とない場合の4H-SiCプレーナECFETの室温における典型的なオン特性をFig. 4に示す．

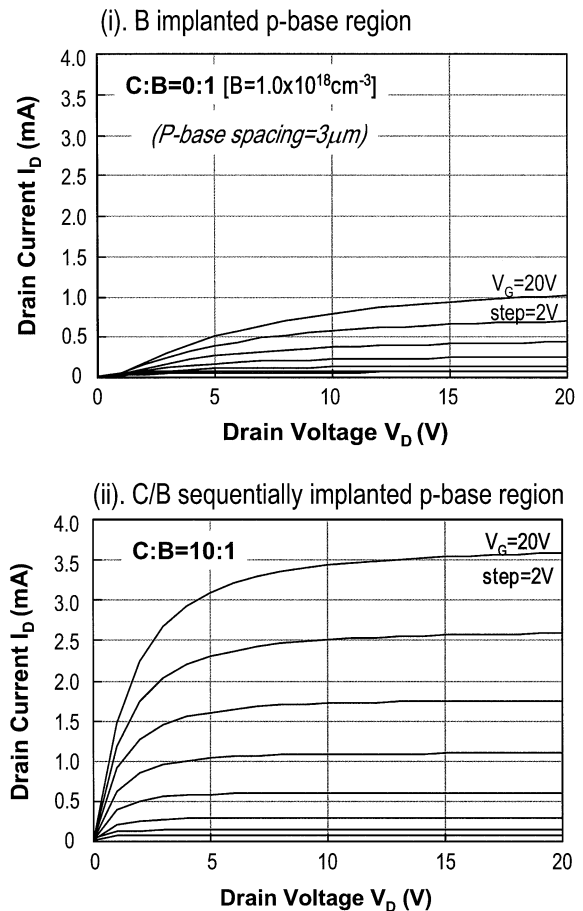


Fig.4 On-state output characteristics of the fabricated accumulation mode planar 4H-SiC ECFET with (i). B implanted and (ii). C/B sequentially implanted p-base region.

Bの横方向の拡散がない場合のプレーナECFETでは、優れた電流飽和特性とゲート制御性を示す $I_{b-s}-V_{b-s}$ 特性が得られた。 $V_{g_s}=V_{b-s}$ で測定した閾値電圧は約2.0Vであった。C/B組み合わせイオン注入を用いることで、ECFETのpベース間の距離を約3 μm まで縮小することが可能になり、JFETピンチ効果が改善されたことで、明らかに3~4倍にドレイン電流を増加させることができた。

この革新的な技術は、パワーデバイスの設計からの要求であるB拡散を抑制することで、ユニットセルのピッチを縮小することにより、高密度集積化への扉を開いた。作製したBの横拡散のない4H-SiCの室温における典型的なオフ特性をFig. 5に示す。作製したデバイスは約200m cm^2 の R_{on} で、設計どおり室温においてアバランシェブレイクダウンは1200V以上になった。作製したECFETのオン抵抗 R_{on} が高い原因は、4H-SiCの伝導帯端付近の高い界面準位密度により、蓄積層チャネル移動度が低いためである。伝導帯端付近の界面準位密度が高いため自由電子はトラップされる。従って、電気伝導にとって有効な電子が減少する。更にトラップされた電子は、2次効果として蓄積層チャネルの自由電子の移動度を減少させるクーロン散乱を引き起こす。

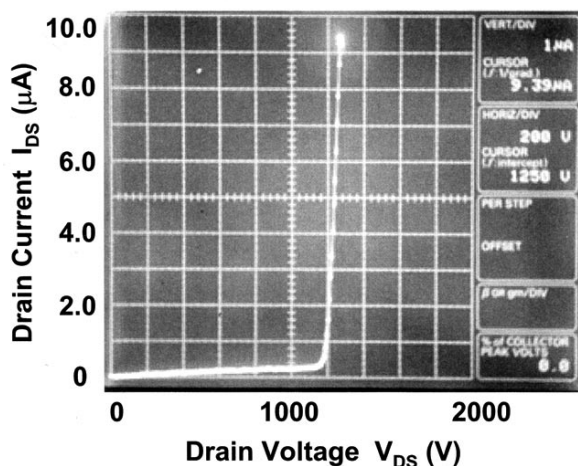


Fig.5 Typical off-state output characteristic of the fabricated accumulation mode planar 4H-SiC ECFET.

2.2 革新的なアプローチ：SiCの異方性の特性

2.2.1 SiCポリタイプを選択：バルク電子移動度の異方性

4H-SiCポリタイプがパワーデバイスの研究開発の材料として選択されている。4H-SiCが選ばれる理由

は、(1) 6H-SiCに比べて高いバルク電子移動度をもつこと(2) 高品質な大面積ウエハが入手可能なこと(3) エピタキシャル成長を含む進んだプロセス技術があるからである。Schornerら¹⁵⁾は同一条件における4H-, 6H-, 15R-SiC MOSFETの反転層チャネル移動度の比較を報告した。

彼らは反転モードの4H-SiC MOSFETのMOS界面において高い界面準位密度と高い界面近傍の酸化膜トラップ密度に影響を受けた低い反転層チャネル移動度(5~30cm²/V·s)を観測した。これに対して6H-SiCは4H-SiCよりは高い反転層チャネル移動度(30~80cm²/V·s)を示した。横型の6H-SiCパワーMOSFETの性能は、4H-SiCの約1/10であるc軸方向に平行なバルク移動度に制限される。彼らはSiO₂/SiC MOS界面の状態の分布を提案した。それによると、バンドギャップの中心より上において界面状態はアクセプタライクで、バンドギャップの中心より下において界面状態はドナーライクであることを示した。

Afanasevら¹⁶⁾は4H-SiCと6H-SiCの伝導帯端の間に界面近傍の酸化膜トラップ密度が存在することを初めて報告した。界面近傍の酸化膜中のトラップ密度はMOS界面において散乱中心となり、極端に反転層チャネル移動度を低下させる。

Yanoら¹⁷⁾は4H-, 6H-と15R-SiCの反転モードMOSFETも同様な性能を示すことを報告した。15R-SiCのバンドギャップは4H-SiCのバンドギャップより小さい。このため、界面近傍の酸化膜トラップ密度による反転層チャネル移動度への影響は小さい。更に15R-SiCのバルク移動度は、4H-, 6H-SiCに比べて異方性が低い。従って、15R-SiCはパワーデバイス応用にとって有用なポリタイプであるが、まだ市販されていない。

2.2.2 結晶面の選択：チャネル移動度の異方性

バルク移動度は、パワーデバイスの設計にとって重要なパラメータである。バルク移動度の異方性はデバイス性能を決定する重要な因子でもある。通常の(0001)面へのステップコントロールエピタキシャル成長は、基板からのポリタイプの情報が受け継がれるため、6H-SiCの場合には3.5°のオフ角が、4H-SiCの場合には8.0°のオフ角を必要とする。ウエハのオフ角による表面ラフネスはMOS界面特性と反転層チャネル移動度に影響を与える。

Yanoら¹⁸⁾はオン基板を用いて(1120)面上に形成

した 6H-と 4H-SiC MOSFET の反転層チャネル移動度が劇的に向上することを報告している。(1120) 面上のプレーナ 4H-SiC MOSFET を用いて、反転モード MOSFET では初めて、高い反転層チャネル移動度 (低電界チャネル移動度 $\sim 100\text{cm}^2 / \text{V}\cdot\text{s}$) と負性温度依存性が観測された。以上の結果は、SiC MOSFET にとって (1120) 面が最もよいことを示している。これは熱酸化膜の異方性によって (1120) 面の MOS 界面の品質 (具体的には界面近傍の酸化膜トラップ密度が低減した。) が良くなったことによる。いずれにしても、反転層チャネル移動度が改善されたことを、オン基板の効果すなわち、表面ラフネスの低減に起因することを実験的に分離することは難しい。

3. キーデバイスプロセス技術

新しい材料によるデバイス開発では、しばしば直面するように SiC のデバイスのプロセス技術には、まだ完全に解決されていない多くの課題がある。重要なプロセス技術で未解決の課題としては、(1) マイクロパイプ欠陥低減と無転位単結晶 SiC ウエハの実現 (2) 高品質な SiO₂ / SiC MOS 界面と高温での信頼性 (3) イオン注入による高活性化率 p 形ドーピング技術等が挙げられる。

3.1 単結晶 SiC ウエハの品質

パワーデバイスを工業的規模で製造するためには、高品質基板が必要不可欠である。SiC は融解しないため、1800 以上の昇華で成長が行われる。現在は改良レーリー法 (昇華法) で SiC 結晶成長が行われている。マイクロパイプ欠陥、コメットテール欠陥、転位といった結晶欠陥はデバイスのオン状態およびオフ状態特性の両方に悪影響を及ぼす。ヘキサゴナル形状のコメットテール欠陥は成長速度の異方性によって起こる。

またマイクロパイプは、らせん転位が原因となって引き起こされる。現在、市販されているウエハの転位密度は $10^4 \sim 10^5\text{cm}^{-2}$ である。リーク電流あるいはブレイクダウン現象についての転位の影響は、現在のところ明らかになっていない。熱力学、動力学的あるいは成長プロセスに起因するメカニズムによってマイクロパイプ発生機構が説明されている。マイクロパイプ欠陥は一般的に、LPCVD 成長のエピタキシャル層へ伝播していく。

このマイクロパイプ欠陥は、絶縁破壊電界以下においてブレイクダウンを引き起こす原因となる。クリー

社が単結晶 SiC を供給して以来、技術開発が大きく前進した。(リサーチレベル: 4 インチ, プロダクションレベル: 2 インチ) 最近、市販されているウエハのマイクロパイプ密度は、 $200\text{個}/\text{cm}^2$ から $30\text{個}/\text{cm}^2$ 以下となっている。(リサーチレベル: $0.5\text{個}/\text{cm}^2$) 大面積パワーデバイスを実現するためには、マイクロパイプ密度を $1\text{個}/\text{cm}^2$ 以下のレベルまで下げる必要がある。従って SiC 単結晶中の欠陥の発生メカニズムの理解と欠陥を低減させることが重要な課題である。

3.2 熱酸化 SiO₂ / SiC MOS 界面

超低オン抵抗 SiC MOSFET を実現するためには、Si と比較して相対的に品質が低い MOS 界面の問題を解決することが必要不可欠である。MOS 界面を高品質化するための研究開発が進められてきた。現在到達した最も優れた SiC MOS デバイスの界面準位密度は、 $10^{10} \sim 10^{11}\text{eV}^{-1}\text{cm}^{-2}$ の範囲である。4H-SiC は、6H-SiC と比較して高電子バルク移動度をもつためパワーデバイスの基板として選択されている。

しかし、4H-SiC MOSFET は 6H-SiC MOSFET と比較して、低い反転層チャネル移動度を示す。この結果は、4H-SiC MOSFET において報告されている界面準位密度が低いことと一致しない。反転層チャネル移動度が低い原因は、伝導帯端付近で界面準位密度が指数関数的に増加することで説明することができる¹⁹⁾。Schorner ら¹⁵⁾ は、4H-SiC MOSFET と比べて 6H-と 15R-SiC MOSFET では相対的に 1 桁高い反転層チャネル移動度の値を報告している。

この原因は伝導帯端付近の界面準位密度と界面近傍の酸化膜トラップ密度が高いためであるとしている。界面近傍の SiO₂ の微細構造は、SiC と Si では非常に異なっている。Si₄C_{4-x}O₂ 化合物あるいは SiO_{1.5} が、界面近傍の SiO₂ に存在することが報告されている。これらの過剰化合物あるいは残留 C はクラスタを形成したり、あるいはパイロジェニック酸化条件のもとで H⁺あるいは OH⁻イオンと相互作用する。従って、MOS 界面の品質を向上させるためには、界面近傍の SiO₂ に存在する C 原子を制御することが必要不可欠である。

MOS 界面の電気特性は、酸化前、酸化後の条件に強く依存する。再酸化と酸化後の O₂ アニール処理が MOS 界面付近の C 成分を有効に減少させることが見出されている。これは MOS 界面付近の C 原子濃度が減少するためである。n 形 4H-SiC の (0001) 面上の熱酸化膜を用いて 10MV/cm 以上の絶縁破壊電界と

ミッドギャップ付近で約 $1 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ の界面準位密度の値が達成されている²⁰⁾。

界面近傍の酸化膜トラップ密度を求めるために、ウエット酸化によって形成した 4H-SiC MOS キャパシタを用いて、アドミッタンススペクトル (TAS) を測定した。蓄積バイアス条件のもとで、4H-SiC MOS キャパシタのアドミッタンススペクトルを系統的に調べた結果を Fig. 6 に示す。アドミッタンス測定によって MOS キャパシタのトラップセンタに関する情報が得られる。蓄積条件では、電子は MOS 界面付近に存在する。この電子は界面近傍の酸化膜トラップ密度によってトラップされる。これらの界面トラップに捕らえられた電子をアドミッタンス信号は観測している。

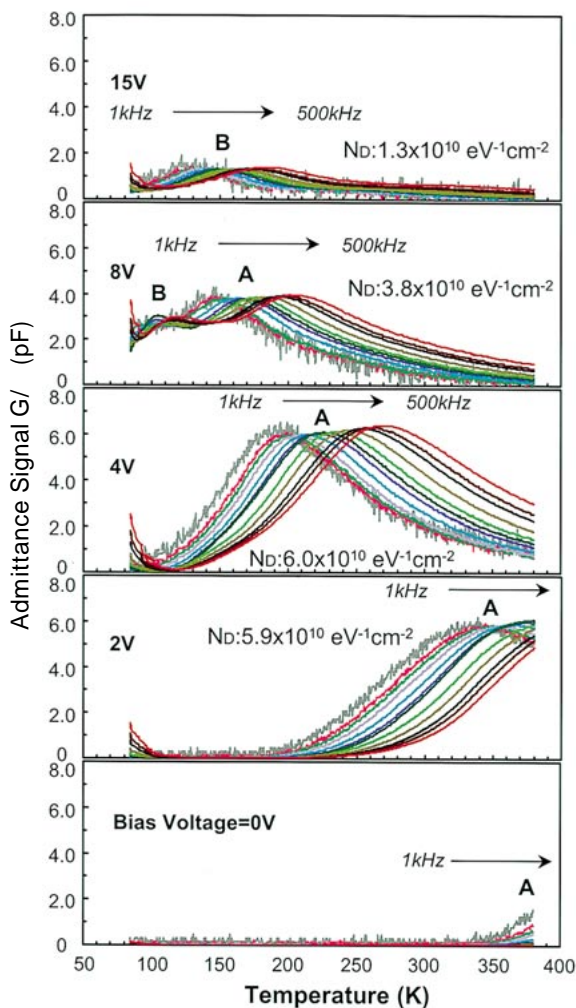


Fig.6 The admittance spectra for 4H-SiC MOS capacitor under various accumulation bias conditions.

Fig. 6より 0V の場合でさえ、ミッドギャップ付近の深いトラップに相当する温度範囲において、ピーク A のテールが観測されていることがわかる。蓄積バイ

アス電圧を 0V から 8V まで増加させると、各バイアス条件においてブロードなピークが観測された。ピーク位置が低温側へ移動していることは、イオン化エネルギーの低下あるいはトラップ密度に相当する捕獲断面積の低下を示している。8V では異なった微細構造をもつ界面トラップからの信号である 2 つのピーク (ピーク A とピーク B) が現れている。

我々はピーク B は酸化膜近傍のトラップによって発生すると考えている。強い蓄積領域すなわち 15V では、ピーク B のみが現れていることは、以上の議論を裏付けている。Afanasev ら¹⁶⁾ は初めて界面近傍の酸化膜中にトラップがあることを報告した。我々はアドミッタンススペクトルから電子放出率 $e_p T^{-2}$ を計算した。温度に対する電子放出率 $e_p T^{-2}$ のアレニウスプロットを Fig. 7 に示す。アドミッタンスのピーク A とピーク B から見積もったトラップ密度を Fig. 6 に示す。

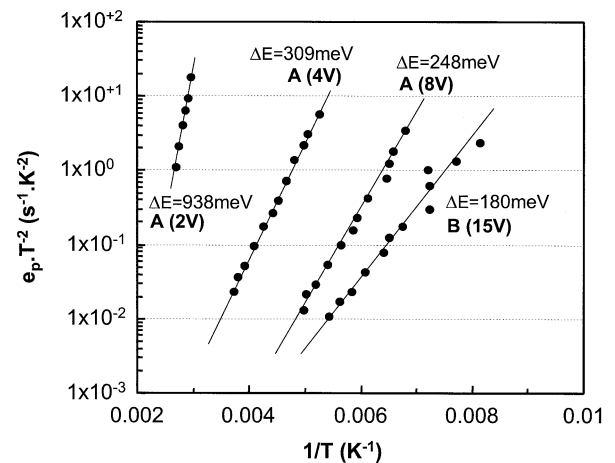


Fig.7 Arrhenius plots of electron emission rate $e_p T^{-2}$ versus reciprocal temperature.

ピーク A のイオン化エネルギーは強いバイアス依存性がある。ピーク A に相当するトラップ密度は伝導帯からミッドギャップ領域においてブロードに分布している。ピーク B は界面近傍の酸化膜トラップ密度に相当する。イオン化エネルギー ($E=180\text{meV}$) は 4H- と 6H-SiC の伝導帯端の間に存在するため、界面近傍の酸化膜トラップ密度は 4H-SiC MOSFET の反転層チャネル移動度に強い影響を与えることになる。

しかし、界面トラップ付近の密度は、 $10^{10} \sim 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ の範囲である。アドミッタンス法によって求めた界面近傍の酸化膜トラップ密度の値は、バイアス効果によって低く見積もられている可能性がある。C-V 測定から見積もった伝導帯端付近の界面準位

密度の値は、ミッドギャップ付近の低い値と比べて高い $10^{12} \sim 10^{13} \text{eV}^{-1} \text{cm}^{-2}$ の範囲であり、これが 4H-SiC MOSFET の反転層チャネル移動度が低い主な原因と考えられる。Bassler ら²¹⁾ はドライ酸化で形成した MOS キャパシタでは伝導帯端付近において、界面準位密度が高いことを報告している。伝導帯端付近において界面準位密度の値を $\sim 1 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ まで下げ革新的な技術開発が必要である。

一方、最近では熱酸化膜以外にもデボ酸化膜である LTO (Low Temperature Oxide) や ONO ($\text{SiO}_2 / \text{Si}_3\text{N}_4 / \text{SiO}_2$) が、ゲート酸化膜として取り上げられている。LTO 膜を使った MOSFET では反転層チャネル移動度 ($55 \sim 73 \text{cm}^2 / \text{V}\cdot\text{s}$) が高い²²⁾。また ONO 膜を用いた場合には FN 電流が低減するため、高温で信頼性が向上することが報告されている²³⁾。

3.3 SiC へのイオン注入によるドーピング

SiC では、Si デバイスで通常用いられる熱拡散プロセスは、B 以外では SiC 中のドーパントの拡散係数が小さいために有用ではない²⁴⁾。ドーパントは熱拡散の代わりに、SiC へのホットイオン注入によって導入される。N と P は主に n 形のイオン注入ドーパントとして用いられている。N と P は両方とも 4H-SiC にシャローレベルを形成するドーパントである。[N (84meV), P (93meV)] ハイパワーデバイスの電力損失を減らすためには、ソースおよびドレインのコンタクト抵抗を低減することが要求される。最近の報告によると 4H-SiC の場合には P のイオン注入が有力な候補であることが示されている。Capano ら²⁵⁾ は、高い移動度と高いドーピングが可能なイオン種として P が優れていることを報告している。

しかし、 $\sim 10^{17} \text{cm}^{-3}$ 程度のドーピングレベルでは N の方が優れている。Catty ら²⁶⁾ は P をイオン注入した場合の方が、N をイオン注入した場合よりも僅かではあるが pn 接合リーク電流が大きくなることを報告している。これは N 原子に比べて P 原子の方が重いため、ダメージを受けやすいからである。Fig. 8 に 4H-SiC にイオン注入した N, P, P/N のシート抵抗の熱処理温度依存性を示す。

P をイオン注入した試料のシート抵抗の値は、N をイオン注入した試料に比べて、高い熱処理温度において 1 桁小さくなっていることがわかる。低い熱処理温度 (~ 1200) において、4H-SiC にイオン注入された N あるいは P のシート抵抗は、 $1 \text{k} / \Omega$ 以上になった。P/N の層構造にイオン注入された試料 (Fig.

8 の挿入図参照) では、 1200 という低い熱処理温度において、高い活性化率を示した (シート抵抗は $1 \text{k} / \Omega$ 以下になった)。しかし、高い熱処理温度においては、P をイオン注入した試料と比べて大きな違いはなかった。以上の結果を理解するためには、更に理論的研究を進めていく必要がある。

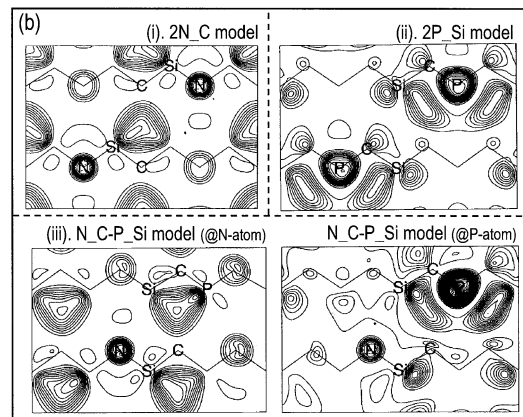
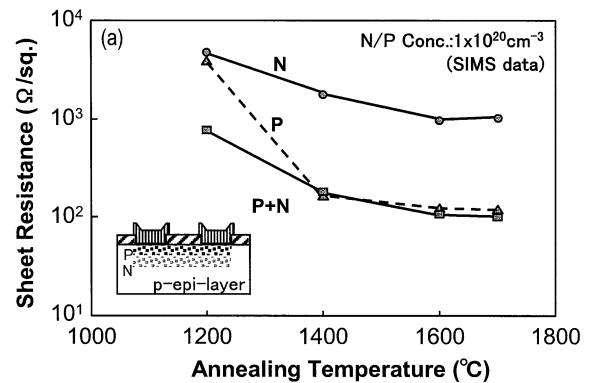


Fig.8 (a). Dependence of sheet resistance of N, P and P/N implanted 4H-SiC on activation annealing temperature. and (b). Contour plots of the square wave function of half-occupied lowest state for (i) 2N_C model, (ii) 2P_Si model, and (iii) N_C-P_Si model.

ドナーが形成されるメカニズムを解明するために、N と P の電子構造のドナーモデルを第 1 原理計算によってシミュレーションした²⁷⁾²⁸⁾。N ドーパントは Si サイトあるいは C サイトのどちらにも存在することができる。N は Si に比べて C 原子に近い原子半径と電気陰性度をもっている。従って Si サイトに比べて、C サイトに占める N の確率は非常に高い。同様に P 原子が Si 格子位置に占める確率は、非常に高い。更に Si と P の電気陰性度の違いは、C と N の違いに比べて小さい。N と P の組み合わせイオン注入は、各々 C サイトと Si

サイトの両方を占めることによって、キャリアを高濃度化することができる。Fig. 8 (b) に示した波動関数の2乗はドナー密度と同等である。2N_Cモデル(2個のCサイトに、2個のNを置き換えたモデル)のドナー密度は結晶全体にわたって一様に分布している。アンチボンディングサイトであるSi原子のまわりではドナー密度が高くなっている。

この結果、CサイトのNドーパントはシャロードナーになる。同様に2P_{Si}モデル(2個のSiサイトに、2個のPを置き換えたモデル)もまた結晶全体にわたって一様になっている。N_C-P_{Si}モデルの場合(C-とSi-サイトの各々にNとPを置き換えたモデル)すなわち、N/P組み合わせイオン注入では、NとPのまわりで異なった対称性をもっている。それゆえ、これらの波動関数の重なりは、2N_Cと2P_{Si}モデルと比べて小さい。またシャローレベルは高ドーズのイオン注入種に影響を受けない。この計算では考察しているシミュレーションのモデルサイズが小さい(64原子に対して2個のドーパント原子)ことによって、イオン化エネルギーの計算の絶対値は現実の値に比べて数百meV程度の誤差があることに注意する必要がある。従って、これらのNとPの組み合わせイオン注入の結果は、キャリア濃度の最大値が得られる最適条件の知見のみを与えている。Raoら²⁹⁾は6H-SiCにおいて、NあるいはPのみのイオン注入に比べてN/Pの組み合わせイオン注入の方が高いキャリア濃度が得られることを報告している。

p形ドーパント(AIとB)で高い活性化率を得ることは、通常のワイドバンドギャップ半導体と同様に難しい。AIのシャローエネルギーレベルは約191~230meVである。Bに関するシャローとディープエネルギーレベルは、各々285~390meVと540~720meVである。Bドーパントは他の-Aグループ不純物より、少ないダメージでSiC中へ深くイオン注入することが可能である。Adrianら³⁰⁾は磁気共鳴測定を用いて、SiサイトのBによってシャローアクセプタレベルが形成されていることを明らかにした。Dセンタとして知られている第2ディープレベルの微細構造は、まだ研究が進められているところである。

我々は第1原理計算に基づいて、過剰C状態にすることによって、BがSiサイトに入る確率を高くして、活性化率を向上させることができることを報告した²⁷⁾。従ってC/B組み合わせイオン注入ではBがSiサイト位置に占める確率を増加させることができる。またこ

の方法はDセンタの形成を抑制する。我々はBに関係するディープレベルの欠陥の微細構造として、複合欠陥B_{Si}+V_C(Siリッチ状態)と[B=C]_{Si}(Cリッチ状態)を提案した²⁸⁾。Trofferら³¹⁾は、C/B組み合わせイオン注入はDセンタの形成を抑制することを議論している。我々はC/B組み合わせイオン注入した4H-SiCを用いて、Bに関するディープ欠陥レベルの形成に、組み合わせイオン注入したCがどのような効果を与えるのかを系統的に研究した^{11),12)}。

実験にはLPCVDで厚さ5μmのp形エピタキシャル層を形成した面方位(0001)の4H-SiCを用いた。矩形プロファイルを形成するために、Bの平均濃度が1×10¹⁸cm⁻³で、深さ0.75μmの8段イオン注入を行った。Cの濃度は1×10¹⁷cm⁻³から1×10²⁰cm⁻³の範囲で変化させた。C/B組み合わせイオン注入の試料はAr雰囲気において1700℃で30分間の活性化熱処理を行った。Fig. 9に4H-SiC(試料#1~#5)のC/B組み合わせイオン注入のアドミッタンススペクトルを示す。

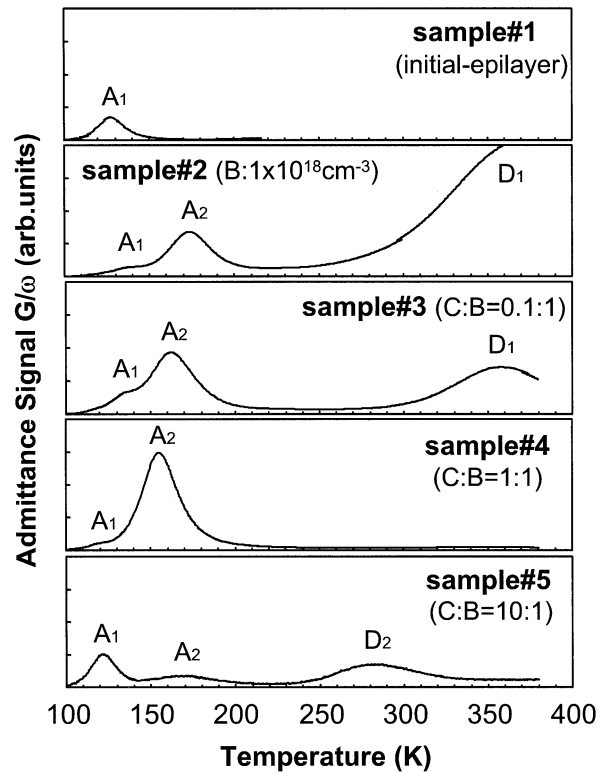


Fig.9 Series of admittance spectra at 10kHz for C/B sequentially implanted 4H-SiC samples (Sample#1 ~ sample#5).

エピタキシャル層を形成した試料#1(イオン注入なし)においてAIのシャローレベルに相当するピー

クA₁がスペクトルに見出された。Bがイオン注入された試料# 2においては、ピークA₁以外にピークA₂とピークD₁が観測された。各々のピークはBドーパントに関係したシャローレベルとディープレベルに相当する。Bのシャローレベルを求めるためにアドミッタンスから計算したホール放出率 $e_p T^{-2}$ のアレニウスプロットをFig. 10に示す。

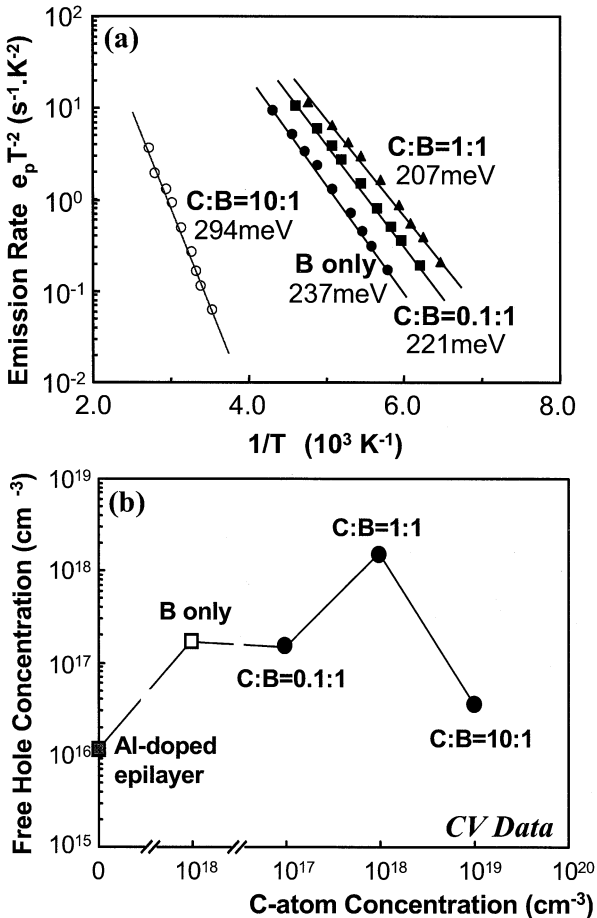


Fig.10 (a). The plot of hole emission rate $e_p T^{-2}$ versus reciprocal temperature for B shallow level and (b). The free hole concentration as a function of co-implanted C-atoms concentration in the C/B sequentially implanted 4H-SiC samples.

実験データをフィッティングした傾きから、ピークA₂のイオン化エネルギーは237meVと計算された。ピークD₁センタのイオン化エネルギーは、DLTSから約589meVと測定された¹¹⁾。ピークD₁の強度の大きさは欠陥密度に比例しているため、実験データは組み合わせイオン注入した80%程度のBがディープレベルを形成していることを示している。アドミッタンススペクトルから求めたAlとBのイオン化エネルギーが低くなった理由は、おそらく同じ極性のドーパントの

相互作用によるものである。試料# 3 (C : B = 0.1 : 1) では、アドミッタンススペクトルは試料# 2 (Bのみ) とほぼ同じ形状をしている。しかし、ピークD₁の強度はCの導入によって減少している。これに対して、試料# 4 (C : B = 1 : 1) のアドミッタンススペクトルは欠陥レベルの形成において大きな変化があったことを示している。組み合わせイオン注入したC濃度が増加するのに伴って、CとBの比が1 : 1になるとBに関係するピークD₁は完全に消失している。一方、Bによるシャローレベルのイオン化エネルギーは、活性化したホール濃度が増加することによって、連続的にシフトしているようにみえる。

C-V解析から計算した自由ホール濃度を組み合わせイオン注入したC濃度の関数としてプロットした。自由ホール濃度は組み合わせイオン注入したC濃度がBとCの比でB : C = 1 : 1までは増加することが見出された。すなわち、活性化したホール濃度は試料# 4 (B : C = 1 : 1) で最も高くなっている。しかし、Cリッチ条件のもとではC濃度が増加するのに伴って、自由ホール濃度の減少がはじまる。試料# 5 (C : B = 10 : 1) では、イオン化エネルギー428meVにおいて新しいピークD₂がアドミッタンススペクトルに観測された。

弱いピークD₂センタが、D₁と比較して相対的に低いエネルギーレベルに存在している。活性化率に相当するBのシャローレベルA₂の相対強度の大きさは1桁低下した。C-Vデータもまた活性化しているホール濃度が減少していることを示した。従って、C/B組み合わせイオン注入プロセスでは、組み合わせイオン注入時の正確なC濃度の制御が必要不可欠である。イオン注入の残された課題には、モフォロジーを制御すること、残留欠陥とpn接合リークの関係を確認すること等が挙げられる。

4. まとめ

革新的なパワーエレクトロニクスの発展を目指して、SiC MOSFETのデバイス設計とプロセス技術は、新しい挑戦に取り組んでいることを概観してきた。特に蓄積モードのECFETのハイパワースイッチング素子としてのポテンシャルを議論した。材料としての課題は、マイクロパイプ欠陥と転位の密度を減少させることにある。デバイスプロセス技術には、SiO₂ / SiC MOS界面の品質の向上が望まれている。伝導帯端付

近には, $10^{12} \sim 10^{13} \text{eVcm}^{-2}$ レンジの高い界面準位密度が残っている. 反転層チャンネル移動度を大きく減少させる界面近傍の酸化膜中のトラップが, 伝導帯端付近に観測された. 界面準位密度はミッドギャップ付近では低いが, 伝導帯端に向かって指数関数的に増加する. この現象は 6H-SiC より 4H-SiC の方が顕著である. MOS 界面の伝導帯端付近の界面準位密度を減少させるために, 研究開発が進められている.

また, 高活性化率と低いpn接合リーク電流を実現するためには, イオン注入後の熱処理による欠陥の挙動の解明がまだ不十分である. 革新的な技術である C / B 組み合わせイオン注入は高濃度にp形ドーピングすることとB拡散を制御することを実現した. また4H-SiC ECFET を作製して, C / B 組み合わせイオン注入技術の有効性を確認した. この技術はSiCハイパワーデバイス応用における高密度集積化技術の可能性を開いた. 斬新な設計コンセプト, 高品質SiC材料および新しいデバイスプロセス技術開発の相乗効果によって, 半導体パワーエレクトロニクスの限界は乗り越えられるであろう.

< 参考文献 >

- 1) M. Bhatnagar and B. J. Baliga, IEEE Trans. Electron Devices, 40 (1993) 645.
- 2) B. J. Baliga, Proc. IEEE, 82 (1994) 1112.
- 3) N. G. Hingorani and K. E. Stahlkopf, Scientific American, 269 (1993) 78.
- 4) W. C. Nieberding and J. A. Powell, IEEE Trans. Industrial Electronics, 29 (1982) 103.
- 5) K. Hara, 7th Int. Conf. on Silicon Carbide, III-Nitrides and related Materials, Stockholm, 1997.
- 6) B. J. Baliga, T. Syau, and P. Venkatraman, IEEE Electron Device Letters 13 (1992) 427.
- 7) S.T. Sheppard, M.R. Melloch, and J.A. Cooper, Jr., IEEE Trans. Electron Devices, 41 (1994) 1257.
- 8) S.Onda, R. Kumar, and K. Hara, Phys. Stat. Sol. (a), 162 (1997) 369.
- 9) J. Tan, J. A. Cooper, Jr., and M. R. Melloch, IEEE Device Research Conf., Charlottesville, VA, 1998.
- 10) R.K. Chilukuri, P.M. Shenoy, and B.J. Baliga, 10th Int. Symp. on Power Semicond. Devices and ICs, Kyoto, 1998.
- 11) R. Kumar, J. Kozima, and T. Yamamoto, Jpn. J. Appl. Phys. 1, Regul. Pap. Short Notes 39 (2000) 2001.
- 12) R. K. Malhan, 1st Int. Workshop on Ultra-Low-Loss Power Device Technologies, Nara, 2000.
- 13) E. N. Mokhov, E.E. Goncharov, and G.G. Ryabova, Sov. Phys. Semicond., 18 (1984) 27.
- 14) Y. Nakano, T. Kachi, H. Tadano, and R. Kumar, J. Crystal Growth, 210 (2000) 183.
- 15) R.Schorner, P.Friedrichs, D.Peters, and D.Stephani, IEEE Electron Device Letters 20 (1999) 241.
- 16) V.V. Afanasev, M.Bassler, G.Pensl, and M.Schulz, Phys. Stat. Sol. (a), 162 (1997) 321.
- 17) H.Yano, T.Kimoto, H.Matsunami, M.Bassler, and G.Pensl, 8th Int. Conf. on Silicon Carbide, III-Nitrides and related Materials, NC, 1999.
- 18) H.Yano, T.Hirao, T.Kimoto, H.Matsunami, K.Asano, and Y.Sugawara, 8th Int. Conf. on Silicon Carbide, III-Nitrides and related Materials, NC, 1999.
- 19) E. Arnold, IEEE Trans. Electron Dev., 46 (1999) 497.
- 20) R.Kumarr, Annual Meeting of Jpn. Soc. of Appl. Phys. 29p-YH-8, 1999.
- 21) M. Bassler, V. Afanas'ev, H. Pensl, and M.Schulz, 8th Int. Conf. on Silicon Carbide, III-Nitrides and related Materials, NC, 1999.
- 22) D. Alok, E. Arnold, and R. Egloff, 1st Int. Workshop on Ultra-Low-Loss Power Device Technologies, Nara, 2000.
- 23) T.P. Ma, 1st Int. Workshop on Ultra-Low-Loss Power Device Technologies, Nara, 2000.
- 24) M. Ikeda, H. Matsunami, and T. Tanaka, Phys. Rev. B, 22 (1980) 2842.
- 25) M.A. Capano, J.A. Cooper, Jr., and M.R. Melloch, 8th Int. Conf. on Silicon Carbide, III-Nitrides and related Materials, NC, 1999.
- 26) K. Chatty, V. Khemka, T.P. Chow, and R. J. Gutmann, 8th Int. Conf. on Silicon Carbide, III-Nitrides and related Materials, NC, 1999.
- 27) A. Fukumoto, Phys. Rev. B, 53 (1996) 4458.
- 28) R.Kumar, K.Hara, A. Fukumoto, and H. Hayashi, Int. Workshop on Hard Electronics, Tsukuba, 1998.
- 29) M.V. Roa, J. Gardner, A. Edwards, N.A. Papanicolaou, G. Kelner, O. W. Holland, M. Gaezzo, and J. Kretschmer, Material Science Forum, 264 (1998) 717.
- 30) F.J. Adrian, S. Greulich-Weber, and J.-M. Spaeth, Solid State Commun., 94 (1995) 41.
- 31) T. Troffer, M. Schadt, T. Frank, H. Itoh, G. Pensl, J. Heindl, H.P. Strunk, and M. Maier, Phys. Stat. Sol. (a), 162 (1997) 277.

< 著 者 >



ラジェシュ कुमार マルハン
(Rajesh Kumar Malhan)

基礎研究所
工学博士

1961年ニューデイルで生まれる。
1983年デイリ大学修士課程修了，
1989年同博士課程(Ph.D)修了。
1989年から豊橋技術科学大学
1991年(株)デンソーに入社。
SiのOEIC，GaAs/AlGaAsのレーザ
ー，SiCパワーMOSFETの研究開
発に従事。



原 邦彦
(はら くにひこ)

取締役，基礎研究所所長
工学博士

1969年名古屋大学工学部卒業。
同年(株)デンソーに入社。
1984年，工学博士。
研究開発部を経て基礎研究所に勤
務。この間，MOS界面の物性研究，
SiとSiCのパワーデバイスの研究開
発に従事。