

特別寄稿 デジタル化,そして再びアナログ的センスを*

—半導体集積回路技術の最前線—

The Advanced Technology of the Semiconductor Integrated Circuits Needs the “Analog Intelligence” Again.

須川 成利

Shigetoshi SUGAWA

1. はじめに

現在、電子情報産業の主な牽引役はパーソナルコンピュータからデジタル情報家電へと移行しつつある。テレビ電話によるコミュニケーション、フィルムを駆逐する勢いのデジタルカメラ及びダイレクトプリントの普及、白物家電のネットワーク化の進展、地上波デジタル放送によるデジタルコンテンツの供給増加、ブラウン管から平板ディスプレイへの置き換え、自動車のエレクトロニクス化の拡大等々、デジタル情報家電技術の波及が人々のライフスタイルを大きく変えようとしている。

デジタル情報家電分野の技術は、入出力機能（センサ、ディスプレイ）、処理・制御機能（システムLSI）、通信機能（ネットワーク）、ソフトウェア（組み込みOS、ミドルウェア）等の要素から構成される。これらの技術はわが国が得意としてきた領域のものであり、その鍵を握るのが半導体集積回路技術である。半導体分野でも、パーソナルコンピュータ用の汎用プロセッサ・汎用メモリからデジタル情報家電用のシステムLSIが主力となる変革が起きている。この変革がわが国の半導体産業の国際競争力を回復する絶好の機会となっているのは間違いない。

デジタル情報家電分野では、顧客の好みの変化を適切に捉える競争が激しく、製品・技術のライフサイクルが1年を切り、更に一層短くなってきている。一方で、現在全消費量の約3割を占めている民生品分野のエネルギー消費量は、デジタル情報家電の普及に呼応するように増加の一途をたどっている。

こうした状況に対応するために、半導体技術としては、超多品種や少量にも対応できる、短納期で、初期コストが軽い、機動的で柔軟性のある開発・生産技術が必要であり¹⁾、更に今後の一層の省エネルギーや環境対応の推進を行うことが求められている。

半導体集積回路は、現在90nm世代の量産が始まり、45nm世代以降の技術開発が盛んに行われている状況

に至っている。半導体集積回路技術においては、材料・装置・プロセス・デバイス・回路から設計・製造に至るまで多岐に亘る。開発技術課題を産業界全体で共有し効率的な研究開発を行えるようにするために、今後15年間の技術課題、解決策候補を技術分野ごとにまとめた技術ロードマップが用意されている²⁾ また、今年春にはわが国独自の技術ロードマップも作られるようになり、その中にはデジタル情報家電向けの超低消費電力を前提としたLow Stand-by Power (LSTP) デバイスにわが国が注力していくことが明示されている³⁾。

半導体集積回路技術の発展は素子の微細化に支えられてきたといっても過言ではない。今日、1チップに既に1億個を超えるトランジスタを搭載したシステムLSIが当たり前のように実現されるようになっている。一方で、半導体素子の物理寸法が原子・分子の大きさを無視できなくなるまで縮小を続けており、更にデバイス特性に影響を与える欠陥サイズも縮小を続けている。これがパターン寸法ひいてはデバイス特性の統計変動を引き起こす原因となってきたり深刻な課題となりつつある。素子寸法の縮小により、素子性能のばらつき・ゆらぎ等が“0”、“1”の2値信号を扱うデジタル集積回路システムにおいても課題となりその動作性能・信頼性の確保を困難にするという状況が顕在化してきている。こうした課題は最近Design for Manufacturing (DFM) と称してようやく真剣に議論されるようになってきた⁴⁾⁻⁷⁾ LSTP分野では、High Performance (HP) やLow Operation Power (LOP) 分野の半導体集積回路と同様に性能・機能を向上させた上で、徹底的な低消費電力化を実現しなければならず、電源電圧を下げ電流を絞ったぎりぎりの条件の中で性能・信頼性を追及していくことが要求される。

こうした微細化かつ大規模集積された半導体集積回路が高い信頼性を維持して動作するためには、集積される素子性能のばらつきを極小化することはもとよ

* 2005年8月16日 原稿受理

り、重畳する雑音およびゆらぎの性質をよく理解し、抑制または回避することが求められる。1GHzを超える高速MPUチップの中を走るデジタルパルス信号はもはや矩形波でなくアナログ信号のようである。デジタルであってもまさにかつてのアナログ的センスが再び要求されるようになってきている。

従来から信頼性に影響を与える諸条件として、電圧、電流、電力、サージ等の電氣的負荷、温度、湿度、ガス、塵埃、放射線等の周囲環境負荷、振動、衝撃等の機械的負荷があるが、今新たに半導体集積回路で問題となりつつあるのは、原理的・確率統計的に発生する雑音・ゆらぎ、または設計・製造技術が未熟なために発生する雑音・ばらつき等が重畳した際の動作信頼性の確保である。半導体集積回路の動作信頼性に関しては、今までに、インバータの電源電圧の低限界値に関する報告がなされている。⁸⁾⁹⁾ 本稿では、これらを拡張適応し、半導体集積回路技術がこれから立ち向かうとする更なる微細化技術領域において、雑音として原理的・統計力学的に発生する量子雑音、熱雑音、ショット雑音等、および、設計・製造技術の未熟さが原因となって発生する1/f 雑音、トランジスタしきい値電圧ばらつき等の雑音、ゆらぎ等が重畳した際の動作信頼性を体系的に論じ、更に、製造現場で大きな課題となっている局所的不良を特定するTest Element Group (TEG)の必要性について提言する。

2. 半導体集積回路に雑音・ゆらぎが重畳したときの動作信頼性

2.1 論理誤り率

半導体集積回路の信号系に雑音が重畳した際の動作信頼性を議論するために論理誤り率 (Logic Error Rate, LER) という評価量を定義する。デジタル通信システムにおいては信号伝播信頼性評価の基準として E_b/N_0 -BER特性が使われている。 E_b は入力信号1ビット当たりのエネルギー [J/bit]、 N_0 は1Hzあたりの雑音パワー密度 [W/Hz]、BERはビット誤り率 (Bit Error Rate, BER) である。デジタル論理回路の動作がデータ通信システムにおけるベースバンド伝送と類似していることに注目してみると、通信システムにおけるNyquist伝送レートでデータ転送した際の E_b/N_0 値がデジタル集積回路システムにおける信号対雑音比 S/Nに相当することが導かれる。従って、デジタル通信システムの信号伝播評価基準である E_b/N_0 -BER特性をデジタル論理システムでのS/N-LER特性として拡張

適応できることになる。⁹⁾ 通信システムにおけるBERの概念を発展させてデジタル論理回路において、パルス“0”、“1”の論理しきい値を信号振幅の1/2、雑音が重畳した際の誤動作パルス“0”、“1”の生起確率が等しく、更に、パルス“0”、“1”に重畳する雑音が平均値0、平均電力(分散) σ^2 のGauss雑音であるとする、デジタル信号系列に雑音が重畳されたときの論理誤り率LERと信号対雑音比 (S/N) の関係は次式のように定義できる。

$$LER = \frac{1}{2} \operatorname{erfc} \left(\frac{1}{2\sqrt{2}} 10^{\frac{1}{20} \left(\frac{S}{N} \right)} \right) \quad (1)$$

ここで、 erfc は余誤差関数である。上式は熱雑音、ショット雑音等のWhite Gauss 雑音の場合に普遍的に成り立つ関係式であり、その他多くの場合に幅広く応用できる関係式となる。しかしながら、局所的・突発的に発生する雑音、ゆらぎ等はGauss分布で表される保証はない。その際には集積回路システムに重畳する雑音、ゆらぎの特徴をよく実測した上で上記の考え方を展開すればよい。また、“0”、“1”の信号レベルを最小保証信号電圧精度と見なすことで、この概念はアナログ信号システムへも発展的に適応できる。

Table 1は様々な半導体集積回路におけるLERの例である。ゲート数、動作周波数、動作保証時間の積の逆数をLERと定義している。ゲート数100、動作周波数1MHz、動作保証時間1ヶ月のプリミティブなテスト回路の例からゲート数 10^{12} 、動作周波数10GHz、動作保証時間10年の集積回路、さらに人間の脳に相当する例としてゲート数 10^{15} 、動作周波数1kHz、動作保証時間10年の例も示している。S/Nは(1)式よりLERから算出している。これから、いずれの集積回路システムにおいても動作保証時間内に誤動作を起こさず動作信頼性を確保するためにはLERで約 10^{-31} 以下が必要であり、S/Nで約27dB以上が必要であることが分かる。

2.2 集積回路に重畳する雑音・ゆらぎ

半導体集積回路には様々な雑音が重畳する。統計力学的に発生する雑音としては、量子雑音、熱雑音、ショット雑音等がある。また、製造技術・設計技術が未熟なために発生する雑音として、トランジスタしきい値電圧ばらつき、1/f 雑音、クロックスイッチング雑音、クロストーク雑音等がある。また外部から取り込

Table 1 様々な集積回路における論理誤り率 (LER) と信号対雑音比 (S/N) の関係

集積回路	集積ゲート数	駆動周波数	性能保障期間	必要なLER	必要なS/N
プリミティブな テスト回路の一例	100ゲート	1MHz (10^6Hz)	1ヶ月 ($2.6 \times 10^6\text{秒}$)	$< 3.8 \times 10^{-15}$	$> 23.8\text{dB}$
大規模集積回路 (現状民生品主流LSI)	100万ゲート (10^6ゲート)	100MHz (10^8Hz)	10年間 ($3.2 \times 10^8\text{秒}$)	$< 3.2 \times 10^{-23}$	$> 25.9\text{dB}$
大規模集積回路 (現状高速MPU)	1億ゲート (10^8ゲート)	1GHz (10^9Hz)	10年間 ($3.2 \times 10^8\text{秒}$)	$< 3.2 \times 10^{-26}$	$> 26.5\text{dB}$
大規模集積回路 (将来の高速MPU)	1兆ゲート (10^{12}ゲート)	10GHz (10^{10}Hz)	10年間 ($3.2 \times 10^8\text{秒}$)	$< 3.2 \times 10^{-31}$	$> 27.3\text{dB}$
生態系回路 (人間の脳)	10^{16}ゲート	1kHz (10^3Hz)	1秒	$< 1 \times 10^{-18}$	$> 24.6\text{dB}$
			10年間 ($3.2 \times 10^8\text{秒}$)	$< 3.2 \times 10^{-27}$	$> 26.6\text{dB}$

まれる雑音として、最近深刻な問題として取り上げ始められた宇宙線を起因とした中性子照射で発生する電子・正孔対による雑音等がある。

デジタル集積回路の誤動作はこうした雑音がゲート入力信号や保持記憶信号に重畳して、論理しきい値を超えたり下回ったりした場合に起きる。論理回路のゲート入力部や保持記憶部にはゲート容量、配線容量、保持容量等の容量が必ず存在するので雑音源が容量で終端された場合の雑音の振る舞いを論じることが必要になる。容量で終端された端子に現れる代表的な雑音電圧をTable 2にまとめる。表中には各雑音源が容量で終端された際の等価回路をそれぞれ設定し、各周波数における雑音を算出し、周波数に対して積分して雑音電圧を求めた結果を示している。

熱雑音は抵抗体を通した端子に誘起される電圧が電子の熱運動によってゆらぐことにより発生する。熱雑音の瞬時振幅の確率分布は周波数スペクトルが一定のGauss分布に従うので、(1)式に基づいた議論ができる。

ショット雑音、量子雑音は、エネルギー準位間を遷移する/しない、ポテンシャルバリアを超える/超えない等の動作で発生する。雑音電子数は二項分布（電子数が多ければポアソン分布）に従うので、信号電荷数の平方根が雑音電子数になる。特にショット雑音の雑音源がPNダイオードのように指数関数的な電流電圧特性を示す場合、雑音電圧は熱雑音と同様に容量と温度の関数となり熱雑音の $1/\sqrt{2}$ となる。¹⁰⁾ ショット雑音、量子雑音の瞬時振幅の確率分布は周波数スペクトルが一定のGauss分布に従うと仮定できるので、これも(1)式に基づいた議論が可能である。

1/f 雑音は、MOSトランジスタにおいてゲート絶縁膜とシリコンの間に界面準位が存在することにより周波数にほぼ反比例する形で発生する。ソースからドレインに向かう電子（正孔）が界面準位にトラップされ到達時間差が生じることが原因である。1/f 雑音の雑音電圧はトランジスタの単位面積あたりのゲート容量、ゲート長、ゲート幅の積、つまりトランジスタゲート容量の逆数の平方根に比例することが実験的に分かっている。

以下、素子の微細化とともに特に深刻となる量子雑音、熱雑音、1/f 雑音、しきい値電圧ばらつきが重畳した際の半導体集積回路の動作信頼性に関して考察する。

2.3 量子雑音が重畳したときの集積回路の動作信頼性

まず、量子雑音が重畳した際には、信号電荷数の平行根が雑音電荷数になることから、信号電荷数が約500個以上のときに、量子雑音に対するS/Nが約27dB以上確保でき、LERで約 10^{-31} 以下が保証されることが分かる。換言すれば約500個未満の信号電子数では動作信頼性は保証できない。

2.4 熱雑音が重畳したときの集積回路の動作信頼性

上述した量子雑音が重畳した際の動作保証限界である信号電荷数500個の場合において、熱雑音に対して約27dB以上のS/Nを確保できるのは300Kの温度では信号電圧が約26mV以上のときであることが分かる。信号電荷数500個で信号電圧26mVに相当する容量は

Table 2 容量終端における熱雑音, ショット雑音, 量子雑音, 1/f 雑音

	熱雑音	ショット雑音 キャリア注入有り	量子雑音	1/f 雑音
等価回路				
雑音源	熱雑音電圧源 $v_T = \sqrt{4kTR\delta f}$	ショット雑音電流源 $i_s = \sqrt{2qI\delta f}$	量子雑音電荷源 $Q_q = \sqrt{N}$	1/f 雑音電圧源 $v_f = \sqrt{\frac{k_F}{C_i LW} \frac{\delta f}{f}}$
各周波数における雑音	$v = \frac{1}{R + \frac{1}{j\omega C}} v_T = \frac{1}{1 + j\omega RC} v_T$	$v = \frac{1}{\frac{1}{R} + j\omega C} i_s = \frac{R}{1 + j\omega RC} i_s$	周波数依存無し	$v = \frac{1}{R + \frac{1}{j\omega C}} v_T = \frac{1}{1 + j\omega RC} v_T$
雑音電圧	$ v ^2 = \int_0^\infty \frac{4kTR}{1 + 4\pi^2 R^2 C^2 f^2} df$ より $v = \sqrt{\frac{kT}{C}}$	$ v ^2 = \int_0^\infty \frac{2qIR^2}{1 + 4\pi^2 R^2 C^2 f^2} df = \frac{qIR}{2C}$ 雑音源がPNダイオードの場合 $I = I_0 e^{-\frac{qV}{kT}} \quad R = \frac{dV}{dI} = \frac{kT}{qI}$ より $v = \sqrt{\frac{kT}{2C}}$	$v = \frac{q\sqrt{N}}{C}$	$ v ^2 = \int_{f_L}^{f_H} \frac{\frac{k_F}{C_i LW}}{1 + 4\pi^2 R^2 C^2 f^2} df$ より $v \approx \sqrt{\frac{k_F}{C_i LW} \ln \frac{f_c}{f_L}}$ ここで $f_c = \frac{1}{2\pi RC}$

3.1fFである。

2.5 1/f 雑音が重畳したときの集積回路の動作信頼性

1/f 雑音の大きさの指標となるフリッカ雑音係数 k_F は、ゲート絶縁膜とシリコン界面の界面準位密度等に依存し、我々の実測においては界面準位密度が $\sim 10^{10} \text{cm}^{-2}$ と低い SiO_2/Si 界面においてもNMOSで 10^{-24} 、PMOSで 10^{-25} 程度の大きさである。今後微細化を進めていく中で導入が予定されている高誘電率 (High-k) ゲート絶縁膜を使用すると界面準位が増加することが避けられずフリッカ雑音係数は更に増加すると予想される。高周波側帯域 $f_H = 10^{10} \text{Hz}$ 、低周波側帯域 $f_L = 1 \text{Hz}$ 、酸化膜厚換算ゲート絶縁膜厚1nmにおいて、約27dB以上のS/Nを確保しようとする、現状レベルの1/f 雑音が重畳するシステムでは $L=W=20 \text{nm}$ サイズの微細化世代において誤動作が起り始めることが分かる。また、現状より1桁大きい雑音が重畳すると $L=W=35 \text{nm}$ サイズのデバイスで誤動作が起り、また、現状より2桁大きい雑音が重畳すると $L=W=65 \text{nm}$ サイズのデバイスを使用した集積回路で誤動作がはじまる。今後微細化を更に進めるにあたり1/fノイズを増加させない原子オーダーで制御された界面製造技術の確立が不可欠である。

2.6 しきい値電圧ばらつきが重畳したときの集積回路の信頼性

しきい値電圧ばらつきは、チャネル長加工寸法ばらつき、ゲート絶縁膜の膜厚ばらつき・固定電荷ばらつき、チャネル領域のドーパント濃度ばらつき、ゲート絶縁膜/Si界面準位ばらつき等に起因する。しきい値電圧ばらつきは時間的にランダムにゆらぐものではなく固定したものとなるので、しきい値電圧ばらつきが大きいと初期状態において既に半導体集積回路が所望の動作をしないという状況になる。我々の実験によると、しきい値電圧ばらつきの標準偏差とLW積の平方根の逆数がよく比例することが見出されている。その比例係数は微細化世代というよりは製造ラインに依存しおおむね7~15mV程度である。これは35nm微細化世代においては現状技術レベルのままではしきい値電圧ばらつきが $\sigma=200\sim 450 \text{mV}$ に達し0.5V電源では集積回路は動作しないことになってしまう。35nm世代、0.5V動作でしきい値電圧ばらつきの影響を受けないようにするためには、しきい値ばらつきを現状より約1/10~1/20以下に低減する必要がある。

しきい値電圧のばらつきを助長している原因の一つとして、上記原因の他に、プラズマエッチング・CVDプロセス時のダメージが挙げられる。¹¹⁾⁻¹³⁾ 平行平板型高周波プラズマ装置 (プラズマ電子温度は2~3eV程度) 内にトランジスタ製造工程、配線工程及び

パッシベーション膜形成工程まで完了したシリコンウェーハを挿入し圧力1torrの各種プラズマ雰囲気中に10分間曝した後のトランジスタのしきい値電圧を測定してみると、処理前後で約0.7Vという大きな変化を引き起こす。これに対し、Krを励起ガスとしたラジアルラインスロットアンテナを用いたマイクロ波励起プラズマでは、しきい値電圧の変化は観測されない。これは、電子に対する衝突断面積が大きいKrを励起ガスに用いることで電子温度が0.7eV程度と低くなり金属汚染やウェーハ表面損傷を起こさないだけでなく、マイクロ波励起プロセスがウェーハ表面に流れるイオン電流と電子電流が瞬時に完全に打ち消しあってどの瞬間にプラズマをオンオフしてもウェーハ表面に電荷が残らずチャージアップダメージのないプロセスが行えることによると考えられる。

今後こうしたマイクロ波励起プラズマプロセス技術のようにばらつき・ゆらぎを誘起しない製造技術の導入が不可欠である。

3. 局所的不良を簡単に特定できるTEG

上述したばらつき・ゆらぎに加えて、半導体集積回路の製造現場では1万~100万個程度に数個の割合で発生する局所的不良（ビット不良、スポット不良）が製品性能・歩留まりを支配する要因として大きな課題となっている。DRAM、フラッシュメモリ、イメージセンサ等の歩留まりを左右しているのはこうした局所的不良である。特に電子1個のオーダの雑音・ばらつきがその性能を左右するイメージセンサでは、メタル原子1個が画素内フォトダイオード中に入り込むだけで局所的不良を発生してしまう。

半導体集積回路を高い信頼性を維持し高い歩留まりで製造するためには、こうした局所的な欠陥の統計的分布・ばらつき量の把握、欠陥とデバイス電気的特性不良の対応付け、歩留まり許容欠陥数、微細欠陥箇所の特定と原因の究明が必要不可欠である。

現在、設計（ライブラリ構築・回路シミュレーション・レイアウト等）に必要な回路素子モデルは複数サイズの少数のTEGを用いて抽出している。また、プロセス・デバイス開発においては、ウェーハ面内に数十箇所程度に配置された比較的面積の大きい単体TEGを使用して材料・プロセス・素子の物性評価・電気的特性評価を行っており、また、量産工場でも同様のTEGを用いて工程管理・インラインモニタを行っている。

しかしながら、こうした従前のTEGでは、数多くの

素子の統計的ばらつき特性を測定できないので、許容度過剰な設計（ワーストケース設計）をせざるを得ず、その結果、面積効率が悪化し、高コストなものになっている。最近の微細素子では、ワーストケース条件では答えが見つけれない事態に陥っている。また、従前のTEGでは実デバイスで局所的に発生する不良原因を特定できず、結局、全工程流した実デバイスで評価するしかなく、多大な労力とコストと時間を費やしている。

そこで、ウェーハ面内に2次元に配置された1万~100万個規模の微細トランジスタ・キャパシタにおける、しきい値電圧ばらつき、電流電圧特性（ G_m 、Swing等を含む）、低周波雑音、PN接合リーク電流、ゲートリーク電流等を高精度かつ短時間に測定できる評価TEG回路を創出する必要がある。この新しいTEGは実工程を模擬したなるべく簡便なプロセスで試作できるようにし、開発・不良原因特定を短期間に行えるようにすることも重要である。

こうしたTEGを用いることで、デバイス微細化・高集積化に伴い深刻となる統計的ばらつき量の把握、欠陥とデバイス電気的特性不良の対応付け、歩留まり許容欠陥数、微細欠陥箇所の特定と原因の究明を行うことができ、統計的特性ばらつきが抑制された信頼性の高い微細トランジスタを有する大規模集積素子の開発・製造技術を確立することができる。また、設計に必要な回路素子モデルを統計的ばらつきに基づいて精度よく把握することができるので、最適な許容度を持った設計が行え、その結果、無駄のない信頼性の高い高歩留まり製造が保証できる最適な設計が行える。更に、実デバイスと同等の局所的不良原因をデバイス・プロセス開発段階のみならず量産現場においても簡便な方法で特定できるので超微細大規模半導体集積回路の高精度高歩留まりの製造を行うことができる。

このような局所的不良を簡単に特定できるTEGの存在が、DFMを机上論でなく実際のデータを基にした真の課題解決の一助となることは間違いない。

4. おわりに

半導体集積回路技術がこれから立ち向かおうとする技術課題のうち特にゆらぎ・ばらつき、局所的不良に関して議論した。今後の半導体集積回路はますます設計・製造マージンに余裕のない中で高性能化・高機能化・低コスト化を目指していかなければならなくなる。これまで当然のごとく使用してきた半導体製造技

術の中には製造現場で使用できなくなるものも出てくるだろう。ばらつき・ゆらぎに支配されない設計・製造技術を手にしたもののみが、今後更に微細化し高集積化した集積回路システムの動作信頼性を確立し、ものづくりを行っていきけることになる。

実は、アナログ屋と呼ばれる人達はこうしたばらつき・ゆらぎと延々と戦ってきた。電源電圧変動、温度変動、個々の素子特性のばらつき・ゆらぎが起こるのは当たり前として、その要因を見極め、システムとしてばらつき・ゆらぎに支配されないものづくりを行ってきた。ただし、従前のようにアナログ屋に必要なのは勘と経験だといっているようでは更に微細化が進む半導体集積回路技術には太刀打ちはできない。アナログ的センスとはシステム全体を見渡す大局観と各部位を綿密に詰める繊細な感性の両方を兼ね備えることである。トータルパフォーマンスを向上させるために、コア技術をいかに生かせるか、一つの弱みも無いかを考えぬけるかどうかである。最近、開発に取り組んでいる広ダイナミックレンジCMOSイメージセンサにおいてもプロセス・デバイス・回路・信号処理を総合的に俯瞰し、雑音を入力換算雑音電子数で1個レベルに抑圧しつつ、いかに感度を向上させかつダイナミックレンジを拡大するかに心血を注いでいる¹⁴⁾⁻¹⁶⁾

話は飛ぶが、最近、MOT (Management Of Technology) 人材の育成も始めている。MOTの定義は時々刻々変化しているが、現在MOTという形で議論されていることの多くは、かつて優れた競争力を持っていた日本企業では当たり前のように機能していたことを理論的に整理しようということにも見える。MOT人材の定義についても様々なものがあるが、

- (1) 企業戦略・技術戦略に関し、不確実性とリスクを踏まえ、責任ある意思決定を行うことができる人材
- (2) 企業戦略と技術戦略の融合による高度な戦略の立案・策定ができる人材
- (3) 知財による自社技術の競争力強化を実現することができる人材
- (4) 自社技術の外部化や他社技術・事業の獲得を通して、事業化促進や利益獲得ができる人材
- (5) 自社の技術の強みを生かしつつ、勝てる商品を提供しつづけることができる人材
- (6) (事業視点から) 有望な技術を抽出し、強化することができる人材
- (7) 高度なすり合わせによる高い商品性能を実現す

る企画・製造ができる人材

であるとする考え¹⁷⁾が適切であると思われる。これらはアナログ的センスを持つ人材と実に共通するところが多いと感じるのは私だけであろうか。

ものづくりが経済的付加価値を生む源泉であることは今後とも変わらない。本稿が、デジタル化の波に押されたてきた数十年間を経た今、もう一度アナログ的センスの必要性を見直すきっかけとなり、ひいてはわが国の産業技術力強化に結びつくことになれば幸いである。

<参考文献>

- 1) 内閣府総合技術会議, March 2003
- 2) “International Technology Roadmap for Semiconductors”, International SEMATECH, <http://public.itrs.net/Files/2003Update/Home.html>, 現在2003年版, 2004年アップデート版が公開. 2年ごとに更新.
- 3) “電子・情報技術分野の技術ロードマップ,” 新エネルギー・産業技術総合開発機構 (NEDO), May 2005
- 4) “Variability Has Stopped Scaling: Who Will Conquer The Issues of Variability?” 2005 Symposia on VLSI Technology and Circuits, June 2005
- 5) “DFM – The Path to Profitability at 130nm and Below”, Design Automation Conference (DAC 2005), June 2005
- 6) “Design Challenges for Semiconductor Technology”, International Forum on Semiconductor Technology, June 2005
- 7) “Robust process models needed for DFM”, Semicon West 2005, July 2005
- 8) J.D.Meindl, Proceeding of the IEEE, Vol.83, No.4, April 1995
- 9) 鷲谷剛, 益一哉, 坪内和夫, 電子情報通信学会技術報告ICD96-132, 85, 1996
- 10) Y. Nakamura, H. Ohzu, M. Miyawaki, N. Tanaka and T. Ohmi, “Design of Bipolar Imaging Device (BASIS)”, IEEE Transactions on Electron Devices, Vol.ED-38, No.5, pp.1028-1036, 1991
- 11) T. Ohmi, S. Sugawa, K. Kotani and A. Morimoto, “New Paradigm of Silicon Technology”, Proceeding of the IEEE, Vol.89, pp.394-412, 2001
- 12) Y. Saito, K. Sekine, N. Ueda, M. Hirayama, S.

- Sugawa, and T. Ohmi, “Advantage of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide”, 2000 Symposium on VLSI Technology Digest of Technical Papers, 176, 2000. “High Integrity Direct Oxidation / Nitridation at Low Temperatures using Radicals”, Electrochemical Society International Symposium, pp.1-10, 2001
- 14) S. Sugawa, N. Akahane, S. Adachi, K. Mori, T. Ishiuchi and K. Mizobuchi, “A 100 dB Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor”, 2005 IEEE International Solid-State Circuits Conference, pp.352-353, February, 2005
- 15) S. Adachi, S. Sugawa, N. Akahane, K. Mori, T. Ishiuchi and K. Mizobuchi, “The Tolerance for FD Dark Current and PD Overflow Current Characteristics of Wide Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor”, 2005 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors, pp.153-156, June, 2005
- 16) N. Akahane, S. Sugawa, S. Adachi, K. Mori, T. Ishiuchi and K. Mizobuchi, “A Sensitivity and Linearity Improvement of a 100 dB Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor”, 2005 Symposium on VLSI Circuits, 62-65, June, 2005
- 17) “技術経営における重点スキル要件の策定とそれに準拠したプログラムイメージの検討”, 経済産業省MOT関連事業 平成14年度補正事業報告資料, 2003



< 著 者 >



須川 成利
(すがわ しげとし)
東北大学大学院工学研究科
技術社会システム専攻
教授

1982年 東京工業大学大学院理工学研究科物理学専攻修士課程修了
1982年 キヤノン株式会社入社
1996年 東北大学大学院工学研究科博士課程後期3年の課程社会人編入学特別選抜修了, 博士(工学)

1999年 東北大学大学院工学研究科電子工学専攻助教授
2002年 同大学院工学研究科技術社会システム専攻教授
固体撮像素子, ミックスドシグナルLSI, 液晶表示素子, プラズマ直接酸化窒化・エッチング・CVD, MOT等の研究に従事