

# 高度化・高精度化に向けたエレクトロニクス熱設計手法\*

## Electronic Thermal Design Method for Advanced and High Precision

篠田 卓也  
Takuya SHINODA

安井 龍太  
Ryuta YASUI

As for the thermal analysis of the electronic device, steady state analysis is general, but the establishment of the electronic control is not only steady state. Transient heat generation such as switching loss with time is required a design that satisfies the electrical and thermal characteristics of all the mounted semiconductors. Demands of the analysis to enable such an inspection increase rapidly. This paper reports a semiconductor model for two transient thermal analysis. Those models use measured transient thermal resistance characteristics or transient thermal resistance graphs guaranteed by a manufacturer. Furthermore, we explain the co-simulation using the network analysis that is design technique for the next generation.

### Key words :

*Thermal design, DNRC, DSRC, Transient thermal analysis, Co-simulation, Network analysis, Junction, Thermal network*

## 1. 序論

自動車の技術は、機械制御から電動制御へと大きくシフトし、目覚ましい技術革新をしてきた。昨今では、ハイブリッド車や電気自動車が登場し、機械系エンジンから電気系モータへ自動車の心臓部すら主役が移行しつつある。一方で、制御用の電子機器は、限られたスペースに搭載されるため小型化、高密度化の更なる要求により、発熱する半導体の課題解決が重要な要素になる。さらに製品設計の設計期間短縮により、電子機器全体の熱設計開発スピードを加速していく必要がある。

例えばエンジン ECU(Electronic Control Unit) が搭載されるエンジンルーム内は、100℃以上まで上昇

する。半導体が故障に至るとされる温度保証上限は Junction 温度 150℃～175℃であり、この閾値以内に確保する。電子設計者は、この Junction 部の瞬間的な発熱を確認しなければならない。

しかし、電子製品の温度を実測するには製品設計から試作品を作成、温度測定に至るまで3ヶ月～半年の期間を要し、この時点で仕様を満たせないと設計の大幅な手戻りとなる。問題を未然に防止するため、解析で仮説を整え、事前に熱設計を完了することが重要である。

ところが、熱解析は、電子部品の「平均発熱量」を用いて、「温度が上昇しきった定常状態の熱解析」の計算が一般的であり、回路動作の時間変化に応じた過渡熱解析は、定常熱解析に比較して僅かしか実施されな

\* ISTP29-194 (2018) を和訳、一部加筆して転載

い。理由として、半導体の熱検証に必要な内部情報が入手できない課題がある。過渡熱解析には、半導体内部の正確な寸法及び物性値（熱伝導率・比熱・密度）が必要であるが、半導体メーカーは競争領域としているようでこれらの情報をなかなか開示しない。

内部情報の不明点が多いため、マージンを乗せて設計せざるを得なく、過度な放熱構造設計や無駄な品質設計となる。一方、マージン不足で市場に出て熱による要因の故障に至ることも懸念される。マージンに頼る量産設計ではなく、過渡熱解析を正確に実施することで、最適な設計と品質を達成でき、ひいては開発スピードが改善できる。

本研究は、半導体の内部物性情報ではなく、時間の経過でどのように温度が上昇するかという「過渡熱抵抗特性」のデータを用いて、モデル化する技術を構築した。このモデルは、熱抵抗と熱容量から成る熱回路網で定義される。熱回路網は、電子回路と同様に計算できるため、電子回路の解析ソフトへのインポートが可能である。

第2章では、既存の熱解析モデルの課題、第3章では、熱解析モデルの理論、第4章では、熱解析モデルの作成方法。そして第5章では、今まで実現できなかった電子回路設計と熱設計の過渡熱解析の活用事例として、ワイパモータの制御回路を用いて回路解析と熱解析の連成を説明する。これにより、設計プロセスがシンプルになり、上記の半年の設計検証期間を即座に判定でき、事業に貢献できる。この手法は自動車業界だけに問わず、全ての産業のエレクトロニクスに利用でき、生産性を向上できる。

## 2. 電子機器の熱技術の課題

### 2.1 電子機器の過渡現象

電子回路に電流を流し始めて定常電流になるまでの変化速度を時定数というが、熱回路も熱流を流し始めて定常熱になるまでの温度変化に対する応答性の度合いを熱時定数という。例えば、電子部品の体積が小さくなる程、ECUを小型化する程、熱時定数は小さくなり応答速度が速くなる。そのため半導体やECUを小型化すれば、熱時定数は小さくなり上昇温度が速く

なる。

初期値から約63.2%に達するまでの時定数及び熱時定数は、電磁気学の時定数では、 $\mu\text{s} \sim \text{ms}$ であり、機械工学の熱時定数では $\text{ms} \sim \text{s}$ の事象が多く、時間の範囲が異なる。ゆえに、半導体の過渡現象の電子制御応答変化を過渡温度として表現することは、異なる工学分野であること、半導体メーカーの情報開示不足であることが要因でモデリングの深化が難しく、今日に至る。

### 2.2 電子機器における既存の半導体熱モデルの課題

電子機器の回路動作は年々高速化している。エンジンECUのある特定の回路例で、実装したMOSFETのスイッチング周波数は、Fig. 1に示すように、約57kHzで動作している。ピーク値の発生は動作波形よりMOSFETのターンオフ時間 $0.3\mu\text{s}$ である。Fig. 2は、ターンオフ時の温度上昇を熱解析で検証した結果である。横軸の時間刻みを10ns以下なら十分細かい時間刻みと事前に確認した上で1nsとし、チップ(3.5mm×2.5mm×0.2mm)のメッシュサイズを $0.5\mu\text{m} \sim 50\mu\text{m}$ まで変化させた場合である。この結果から、メッシュサイズが粗ければ、メッシュ内の平均温度が低く見積られる。適切な熱解析結果を得るためにはメッシュサイズは $1\mu\text{m}$ 以下とすることがわかる。瞬間的な発熱を過渡解析するためには、極めて短い時間刻みと詳細なメッシュ数が必要であり、それだけ解析負荷が大きくなる課題がある。

また、上記で述べたようにセットメーカーは、半導体の熱技術に必要な熱伝導率、半比熱、密度の物性値、各部位の寸法等の内部情報を半導体メーカーから入手困難の為、そもそも過渡熱解析を実行できるモデルが作成できない課題がある。Table 1に示す一般的な熱解析モデルを使用した場合に、過渡熱解析の精度がどのように変化するか確認する。以下は、熱解析において、一般的に用いられる素子モデルの特徴を示す。

#### ・1 ブロックモデル

1ブロックモデルは、素子最大外形で作製し、メッシュ規模を小さく抑えられる。ブロック全体に体積発熱を与え、フィンとモールドの体積比より算出した等

価の熱伝導率, 比熱, 密度を用いる. 半導体の絶対最大定格である Junction 温度を判定できる定義はない. 解析温度を取得するポイントは素子の中心としている.

・ 2 ブロックモデル

2 ブロックモデルは, フィンとモールドとした2つの概念のブロックで作製し, 解析規模は1ブロックについて抑えられる. そのため ECU のように, 解析規模の大きいモデルの精度向上が期待される. フィン全体に体積発熱を与え, フィンとモールド部のそれぞれに文献値の代表的な物性値を用いる. Junction の定義はない. 解析温度を取得するポイントはフィンの上面中央としている.

・ 詳細モデル

詳細モデルは, 内部構造情報に基づいて詳細に作製し, 文献値の熱伝導率を用いる. チップ上面に面発熱を与えてモデル化していることから, 半導体内部や周辺の熱分布を確認することや Junction を定義することが可能である. しかし, セットメーカーでは半導体の正確な材料, 形状の入手が困難なうえ, 材料メーカーや半導体メーカーでさえ熱容量を把握していないことが多い.

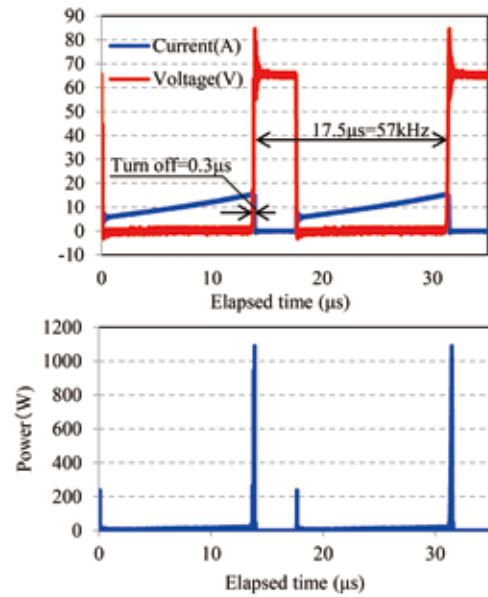


Fig.1 MOSFET waveform

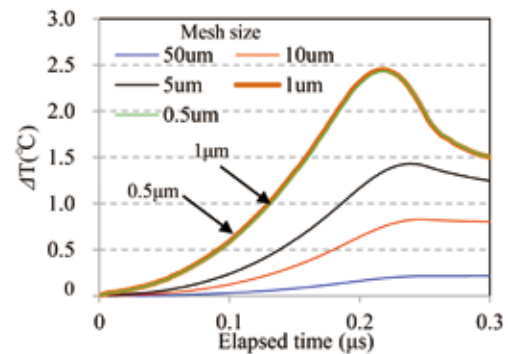


Fig. 2 Mesh size comparison

Table1 List of common thermal analysis modeling of the MOSFET

Model	Appearance
1block	
2block	
Detail	

これらのモデルに, Fig. 3 に示す電力波形を入力して熱解析を実施すると, Fig. 4 の温度上昇結果が得られる. 1 ブロックや2 ブロックは詳細モデルと比較すると, 入力波形に対して温度の追従性が悪く, ピーク温度が低い結果となる. 1 ブロックでは 1ms 時点ではゼロに見えるが, 時間がたてば温度上昇してくる.

この理由として, 簡易化されたモデルは, チップが表現されないため素子内部の1 部品あたりの熱容量が大きくなり, 温度上昇に時間を要する為である. チップ寸法の大小によりコストが変動する. つまり, 半導体メーカーの競争領域にあたるため, 開示しないことが少なくない. このように, 過渡熱解析未対応のモデルを用いて設計判断すると, 温度を低く見積もり, 設計品質を確保する設計には向かない.

信頼の確立

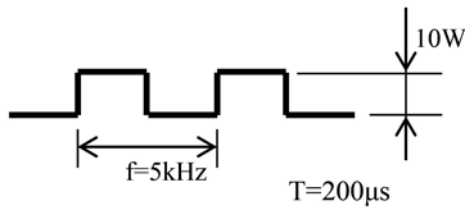


Fig. 3 Input pulse

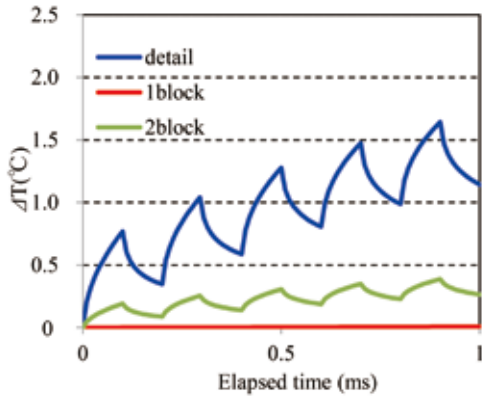


Fig. 4 Comparison of thermal analysis model

### 3. 熱解析モデルの理論

#### 3.1 1次元熱回路網の課題

2章の課題を解決の為に内部情報未入手でもモデルを内製可能にする観点から、過渡熱抵抗特性を熱回路網でモデル化する手法が有効である<sup>1)</sup>。過渡熱抵抗特性を熱回路網として1次元モデル化する手法に、JEDEC JESD51-14<sup>1)</sup>がある。その測定規格では、銅製水冷ヒートシンクに接触する半導体パッケージのケース面とJunction間に、熱が単一経路を流れる場合について規定されている。この規格に準拠して得られる熱回路網をFig. 5に示す。Junctionからパッケージケースまでの1次元的な伝熱流路である。

一方で、実際に半導体を実装して利用する場合、JESD51-14で規定した理想の冷却条件で、ケースを冷却できない。つまり、過渡熱解析モデルの特徴は、実使用における半導体素子のJunctionからケースまでの1次元の放熱経路を3次元で表現したサーマルネットワークであり、本章はその決定手法を述べる。

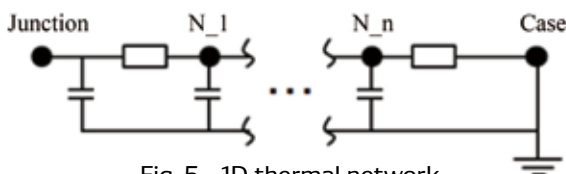


Fig. 5 1D thermal network

#### 3.2 3次元熱回路網の作成

ルネサス製 MOSFET の NP20P06SLG を例に熱の広がりを Fig. 6 に示す。Ta=30℃、境界条件断熱状態で MOSFET が 1W 発熱する熱解析モデルである。Fig. 6 の MOSFET は、解析結果から得られる構造関数が、実験結果と一致するよう物性値をフィッティングしている。構造関数とは、Junction から環境までの放熱経路を熱抵抗と熱容量で表現した関数である。構造関数を構成する熱抵抗と熱容量は、Fig. 5 のような Cauer 型の RC 熱回路網に変換する。代表的な変換方法として Network Identification by Deconvolution Method<sup>2)</sup>がある。Table 2 に熱解析に使用した物性値を示す。Fig. 6 のように、基板に実装された MOSFET の熱流は 3 次元である。精度のよい熱解析のためにはこの熱流をモデル化する必要がある。例えばこの解析結果を利用して、1次元熱解析モデルを作成した場合、Fig. 7 の結果になり、実測結果と一致しない。特に、MOSFET がプリント基板の実装環境に放熱する 0.1s 以降の時間領域で、それまでの平均約 6% であった両者の誤差は 10% 以上となり、実装環境への放熱が正しくモデリングできていないと考えられる。

3次元モデルで1次元モデルの課題を解決するため、MOSFET がプリント基板に放熱するサーマルネットワークを追加する。製品 ASSY 状態で MOSFET の温度測定する場合、一般的に Fig. 6 に示した Spreader に熱電対を取り付ける。熱解析の結果と実験結果を比較する際に、両者の温度モニタポイントを一致させるため、Fig. 8 のようにスプレッダの Ts Node を配置する。このとき、Ts は基板接触面から放熱するため、接触部としてスプレッダの底面に Tsb を配置する。

MOSFET の底面は Die flag と Mold で構成される。Die flag は熱伝導率が高いため、チップの発熱が伝わりやすい。一方で、Mold は熱伝導率が低く Junction 発熱が伝わりにくい。この結果、Fig. 9 に示すような底面の温度分布ができる。1次元熱回路モデルは底面に分布を持たないためこの表現ができない。よって、底面の Bottom Node を Bottom inner(Tbi) と Bottom outer(Tbo) に分割する。JEDEC JESD51-1<sup>3)</sup>で、ケース温度 Tc は半導体素子の作動部から、チップ取付け

部に最も近いパッケージ（ケース）の外面と規定されている。つまり、MOSFET の Die flag 底面中央が  $T_c$  にあたる。  $T_c$  をモデルに反映するため底面の内側に  $T_c$  Node を配置する。

Bottom Node 同様に、基板への放熱経路であるリード部分のノードを  $T_l$ 、リードの基板接触面を  $T_{lb}$  と規定する。熱解析でリードのモデリングの有無について温度差があるのは自明である。リードからの放熱の正確さを再現できることが必要である。

また、Core Node から Top Node へモールドの放熱経路を配置する。MOSFET が発熱する過渡状態において、Fig. 10 に示す 0.1s 時点の解析結果のように、Junction の発熱は熱容量の小さなチップを通過し Die flag へ伝熱、その後モールドを介して空気中に放熱される。Junction 部の発熱は瞬時にチップ全体に広がり、各部品経路でそれなりの時定数をもって広がる。よって、モールドを表す Top Node は Junction ではなく Core Node を介して接続する。

以上の検討から、Fig. 11 の RC モデルサーマルネットワークを提案する。そのネットワークは、抽出した熱インピーダンスをそのまま使用する 1次元の範囲と、キャリブレーションする 3次元の範囲に分ける。

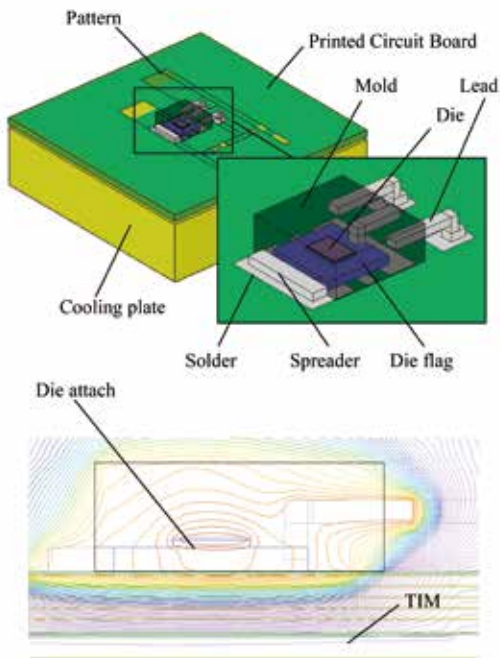


Fig. 6 Temperature contour diagram of MOSFET cross section

Table 2 material list

Material	$\lambda$ [W/m·K]	$\rho$ [Kg/m <sup>3</sup> ]	$c_p$ [J/kg·K]
Mold	0.649	1840	900
Spreader	301.5	8900	380
Die	117	2330	823
Die attach	20	-	-
Die flag	301.5	8900	380
Lead	301	8900	385
FR4	xy: 1.0616 z: 0.5242	1980	686.4
Copper	447.3	8930	471.1
Solder	42.7	7400	600
Cooling plate	391	8890	385
TIM	4.2	2330	675.3

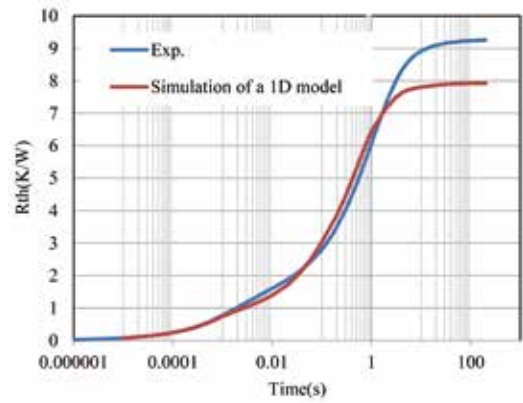


Fig. 7 Experiment vs. 1D model

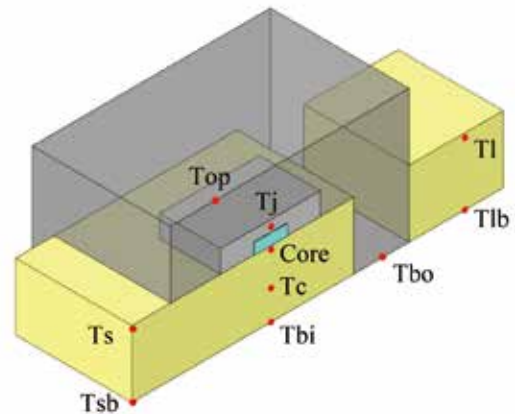


Fig. 8 Node of MOSFET thermal network model

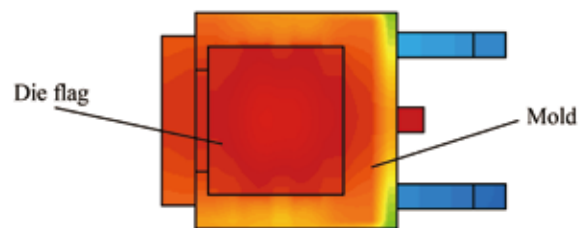


Fig. 9 Temperature distribution at the bottom of MOSFET

信頼の確立

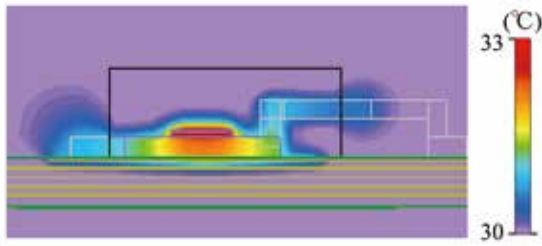


Fig. 10 Simulation result at 0.1s

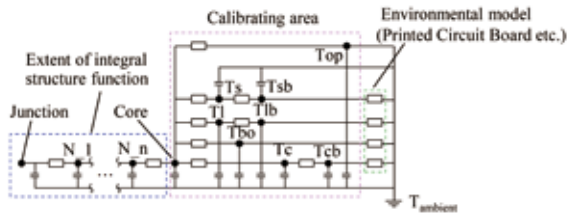


Fig. 11 Thermal network of RC model

## 4. RC モデルの作成

Fig. 11 の熱回路網をもつ、二つの過渡熱解析モデルの用途に合わせ 4.1 章に DNRC モデル、4.2 章に DSRC モデルを説明する。

一つ目の用途は、実験データを利用して作成する DNRC (Detailed Network of Resistance and Capacitance) モデルである。DNRC は、MOSFET の製品ばらつきや実装環境の影響を反映したモデルで、高精度な熱解析を実現する。上記 JEDEC 規格の 1 次元の熱抵抗網を利用して、解析に利用できる 3 次元 (3D) モデルとする。

二つ目の用途は、現物の半導体がない構想段階や、電気的特性の品質を確定する量産段階で実施利用を見込まれるのが DSRC (Data Sheet Resistance and Capacitance) モデルである。DSRC モデルは、半導体のデータシートに記載されている過渡熱抵抗グラフをもとに作成する。このデータシートのスペックも所定の JEDEC 規格を利用している。両社とも日本、国際的に利用している JEDEC 規格を基盤としているため、国内外の規格成立しやすく、保証された 3D の熱モデルとして利用可能と考える。

## 4.1 DNRC モデル

### 4.1.1 Tj と Ts の過渡熱抵抗測定

過渡熱抵抗の測定はシーメンス社製の T3Ster を使用し、JESD51-14 で規定されている TDI 法の Dry 試験と TIM 試験のように対象とするパッケージ界面と環境との間の状態を意図的に変更し測定する。本環境では、MOSFET を実装する基板のビア有無で Dry と TIM のごとく条件設定した。ビア有無の 2 試験を実施する目的は、半導体の表面までの過渡熱抵抗を特定し、半導体の積分構造関数を抽出するためである。

測定時、熱電対を Spreader に取り付け、Junction と同時に Ts の過渡熱抵抗を測定する。また同時に測定する Ts の熱電対は、種類、線径を製品の測温試験に使用するものと同一かつ、精度が良いものを使用することが望ましい。そうすることで熱電対からの放熱の影響度合いを一緒にし、バリデーションを容易にすることができる。

熱抵抗と熱容量の抽出は、2 試験により得られた過渡熱抵抗から、シーメンス社製の T3Ster Master を使用し積分構造関数を算出する。算出した積分構造関数は、パッケージ界面と環境との間の状態を変更したことにより、ある点から分岐する。この分岐点より、ある任意の熱抵抗だけ手前までの積分構造関数、つまり熱抵抗と熱容量を抽出する。

### 4.1.2 測定環境のモデリング

DNRC モデル以外の解析モデルはキャリブレーション対象ではないので、過渡熱抵抗を実測した環境、例えば素子のヒートスプレッドを温度固定するための冷却金属板 (コールドプレート) や実装した基板などのモデリング精度が、DNRC モデルの誤差となり得るため、可能な限り正しくモデル化することが望ましい。

本論文では、Table 2 に示すように、測定環境の物性値をフィッティングして、環境モデルの誤差を小さくしている。はんだや接触熱抵抗等の実際の物性値が得られないので、フィッティングすることとなる。

### 4.1.3 キャリブレーション

Fig. 11 の Calibrating area の熱抵抗・熱容量を入力変数とし、ESTECO 社製の最適化ソフト mode

FRONTIER を用いて、実測及び解析の過渡熱抵抗の誤差の最小化を目的関数とする。キャリブレーションの終了は、目的関数の値から判断するが、その判定基準については、パッケージ形状や、DNRC モデルに求める精度をもとに都度定義する。

## 4.2 DSRC モデル

### 4.2.1 T<sub>j</sub> と T<sub>c</sub> の過渡熱抵抗

DNRC モデルでは T<sub>j</sub> と T<sub>s</sub> の過渡熱抵抗を実測したが、DSRC モデルではデータシートの値を利用する。Fig. 12 に MOSFET NP20P06SLG の過渡熱抵抗グラフを示す。DNRC モデルの場合、TDI 法を用いて半導体と実装環境の切り分けが可能だが、データシートではその手法が利用できない。

200ms 時点で R<sub>th</sub> (ch-A) と R<sub>th</sub> (ch-C) が分岐し、R<sub>th</sub> (ch-C) が一定値になること、すなわち以降 T<sub>j</sub> と T<sub>c</sub> の温度差が変化しないということは、ケース表面である T<sub>c</sub> に熱が届き飽和したと推定できる。

よって、R<sub>th</sub> (ch-A) と R<sub>th</sub> (ch-C) との分岐点以前の時間を素子の内部領域、以後の時間を実装環境の領域と仮定する。DNRC モデルと同様に、分岐点の手前までの積分構造関数を抽出する。

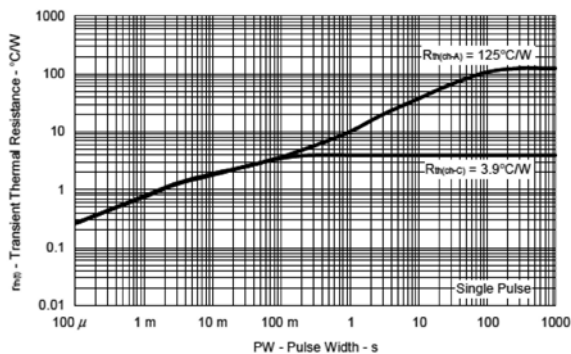


Fig. 12 Transient thermal resistance vs. pulse width

### 4.2.2 測定環境のモデリング

測定環境は JESD51-2A<sup>4)</sup> に基づき Fig. 13 の環境をモデル化する。

但し、MOSFET の実装基板について明確な規定がないため、半導体メーカーは各々独自の測定基板を使用し、その情報は入手困難である。この課題を解決するため、標準的な MOSFET の熱解析モデルを使用し、

定常状態における R<sub>th</sub> (ch-A) がデータシートと一致するように、基板の等価熱伝導率をフィッティングする。

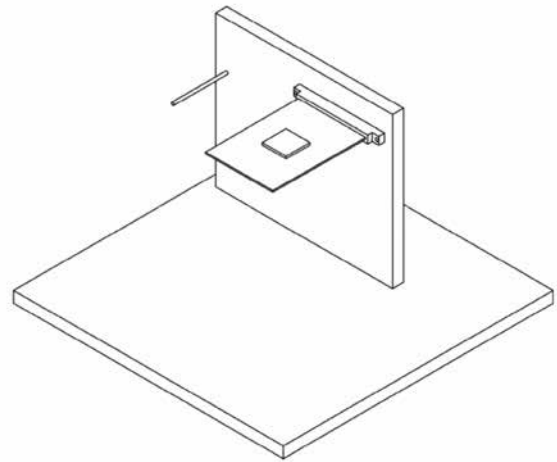


Fig. 13 Mounting environment of MOSFET

### 4.2.3 キャリブレーション

キャリブレーションは DNRC と同一の方法で行う。

### 4.2.4 モデル作成結果

以上の手法で、DSRC モデルを作成した事例を示す。熱解析時間の短縮のため、基板や半導体から空気中への対流放熱は熱伝達率を与え、熱伝導解析で実施した。Fig. 14 にキャリブレーションした過渡熱抵抗を示す。また、各時間におけるデータシートに対する DSRC モデルの計算結果の誤差を Table 3 に示す。Error (Avg.) (%) の計算には、表に示す各時間領域において全データを採用する。誤差の計算方法は、T<sub>j</sub> と T<sub>c</sub> の過渡熱抵抗それぞれのデータシートと熱解析の絶対誤差の相加平均とする。

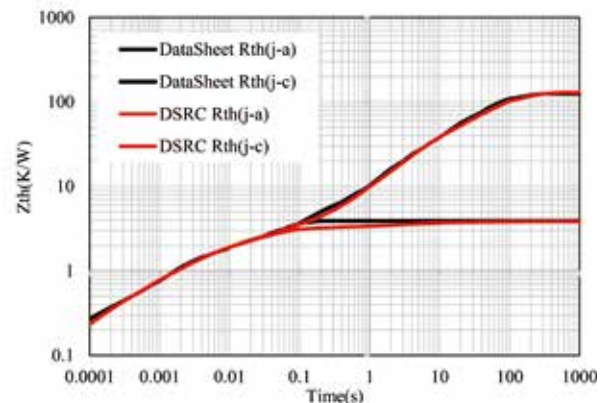


Fig. 14 Datasheet vs. DSRC model

Table 3 The error at each time

Time(s)	Error(Avg.) (%)	
	Rth(j-a)	Rth(j-c)
$1 \times 10^{-4}$	2.9	2.9
$1 \times 10^{-3}$	2.2	2.1
$1 \times 10^{-2}$	1.7	6.2
$1 \times 10^{-1}$	7.3	15.1
$1 \times 10^0$	2.2	8.4
$1 \times 10^1$	6.3	3.3
$1 \times 10^2$	3.1	1.8

## 5. 熱と回路の RC モデルを活用した連成解析

### 5.1 回路解析モデル

電子機器の熱マネジメントの範疇で、明確に算出できないのが発熱量であり、温度誤差に対する寄与が一番高い。自然空冷の一般的な ECU の場合において、半導体の発熱量 0.1W につき、約 3℃ の換算となる。この数値があいまいであると、現物確認での温度測定時と、仮想設計時の誤差が大きく、試作前の熱設計全般の意義が失われる問題がある。そこで、過渡制御での発熱量を精度よく算出するツールとして、'自動車技術会の国際標準記述によるモデル開発・流通検討委員会'で検証している VHDL-AMS<sup>5)</sup> の記述言語による

回路解析モデルを利用する。この回路モデルの長所は、モデルの記述を暗号化処理できるため、OEM, Tier1, Tier2 によるモデルの受け渡し上で秘匿できる。短所としては、まだ市場で流通できる体制にはなっていないことがあげられる。この回路モデル流通は、上流から下流のメーカーのモデルに対する協調が必要な領域であることは言うまでもない。もし、Tier1, Tier2 間で熱にかかわる電気的特性の入力変更できるようにモデルを仕上げるとする。そうすれば、ユーザー側である Tier1 側で半導体スベックのアレンジが安易にあるため、制御変化による電流、電圧変化と半導体内部の熱変化を同時に検証できるような設計スタイルになる。

### 5.2 回路解析の実装

過渡熱モデルの活用事例として、ワイパモータの制御回路を用いて回路解析と熱解析の連成を行う。ワイパモータ ECU の例を Fig. 15 に示す。MOSFET を用いた H ブリッジ回路でモータを制御しワイパを 1 秒間に 1 往復させる<sup>6)</sup>。回路解析は、電子回路の解析部 (黒線)、熱回路の解析部 (赤線)、機械動作の解析部 (橙線) が連成されている。電子回路の設計行為として半導体メーカー 3 社の MOSFET の発熱を比較検証した。Table 4 に各社の MOSFET のスベックを示す。MOSFET の回路モデルは、各社から提供されたモデルを使用する。

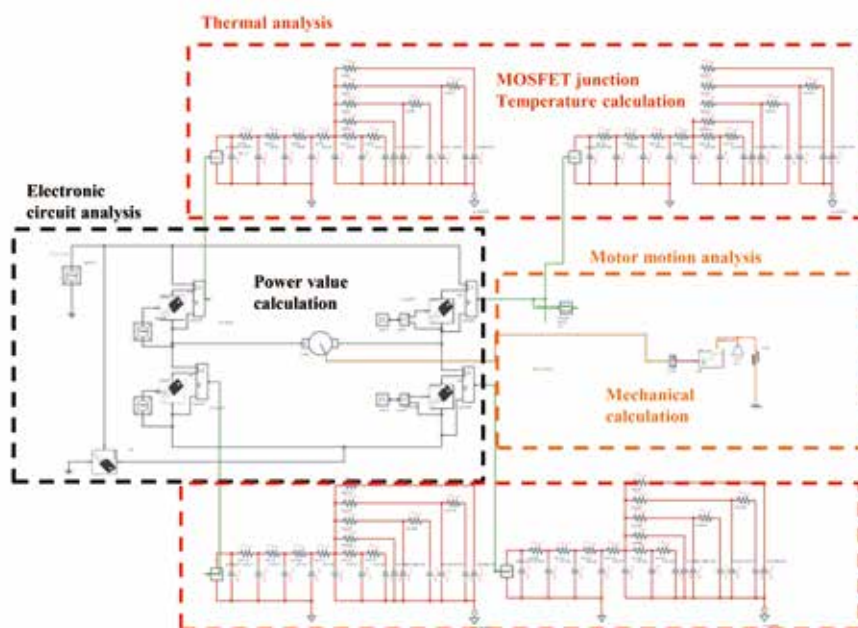
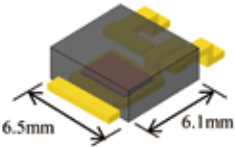
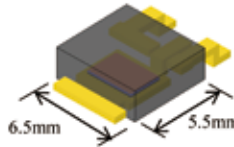
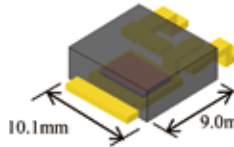


Fig. 15 Electronic/Thermal circuit of the wiper motor ECU



Table 4 Comparison of MOSFET spec

Company		A	B	C
Package		TO-252	DPAK+	TO-263
				
Max. ratings	Vds(V)	40	60	250
	Id(A)	90	90	33
	Tj(°C)	175	175	150
	Power(W)	147	157	211
Turn-on Delay Time(ns)		18	11	50
Rise Time(ns)		8	27	200
Turn-off Delay Time(ns)		71	22	120
Fall Time(ns)		9	87	140
Ron(mΩ)(typ.)		2.35	2.7	77
θjc(°C/W)		1.02	0.95	0.59
Modeling		LEVEL3	BSIM3	LEVEL3

### 5.3 解析結果と考察

回路解析により得られた MOSFET のドレイン・ソース間電圧  $V_{ds}$  とドレイン電流  $I_d$  から発熱量を求め、それを熱回路網に入力する。Fig. 16 に  $I_d$  の回路解析結果、Fig. 17 に Junction 温度の熱解析結果を示す。

特に着目する点として、A 社の MOSFET は  $I_d$  のサージが大きく、その結果温度の振幅が大きい。一方で C 社の MOSFET は  $I_d$  が小さい。この理由として、Table 4 に示したように C 社の MOSFET は、 $R_{on}$  が他社に比較して大きく、オン電圧が大きくなるためである。半導体の温度上昇は、過渡状態であるターン on/off のスイッチングロスと、定常発熱の ON 抵抗の発熱分に区別できる。今回は、オン時の発熱量が大きくなり、温度が高くなったと考えられる。

このように、回路動作に伴う緻密な温度上昇が即座に確認でき、電子回路設計の初期段階で Junction 温度の検証をすることで設計品質が向上するとともに、設計工数が大幅に削減できる。

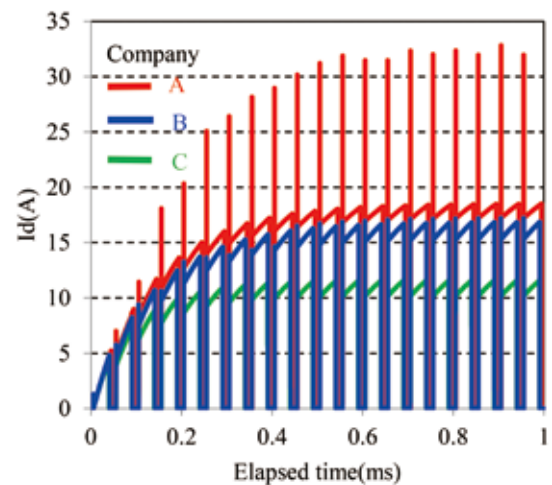


Fig. 16 Result of circuit analysis

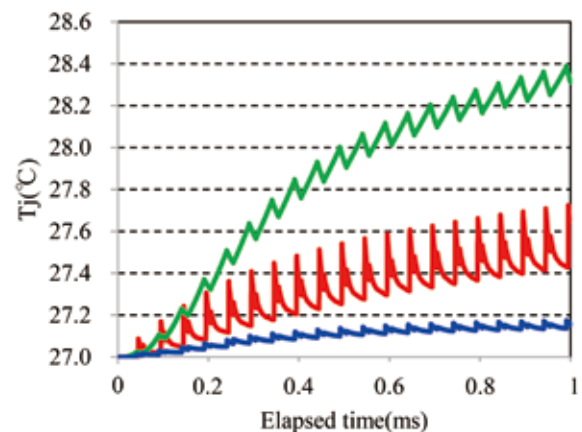


Fig. 17 Result of thermal analysis

## 6. 結論

本研究により、技術領域では、半導体の過渡熱特性を熱回路網でモデル化し、解析負荷の低減、回路解析と熱解析を連成が実現した。市場での流通領域では、VHDL-AMSの活用で半導体素子の内部構造を秘匿しながら、OEMからTier1,Tier2間でモデル流通が可能であることを示した。回路解析と熱解析の連成により、電子設計者は複数メーカーからの部品選定や回路定数設計の段階で、容易に温度検証が可能になり、製品開発スピードが向上する。更に、実験では測定が困難な過渡状態の $T_j$ が正確にシミュレーションできることで、品質向上や、余分なマージンの削減で最適設計が可能になり競争力のある製品開発が実現する。

### 参考文献

- 1) パワーデバイス熱抵抗 $\theta_{JC}$ の抽出手法の検証, デンソーテクニカルレビュー Vol.20, 2015, p93
- 2) ELECTRONIC INDUSTRIES ASSOCIATION (2010): "Transient Dual Test Method for the Measurement of the Thermal Resistance Junction to Case of Semiconductor Devices with Heat Flow Through a Single Path". JESD51-14, p. 5.
- 3) Szekely, V (1998) : "Identification of RC networks by deconvolution : chances and limits"
- 4) ELECTRONIC INDUSTRIES ASSOCIATION (1995): "Methodology for the Thermal Measurement of Component Packages (Single Semiconductor Device)". JESD51-1, p. 28.
- 5) ELECTRONIC INDUSTRIES ASSOCIATION (2008): "Integrated Circuits Thermal Test Method Environmental Conditions-Natural Convection (Still Air)". JESD51-2A, p. 4.
- 6) 国際標準記述によるモデル開発・流通委員会編著：自動車システムのモデルベース開発入門, 東京, 公益社団法人自動車技術会, 2017, p.152
- 7) Takuya Shinoda (DENSO) ,Haruki Takei (IDAJ) ,Masanari Ueda (Mentor Graphics Japan) ,Osamu Seya (Modech) , Noboru Takezawa (Rohm), Yoshinori Aruga (KOA), Ryuta Yasui (Meitec) ,Takao Egami, Toshihiro Tsujimura (Toshiba Electronic Devices & Storage)(2019): " Next-Generation Development and Design Process of ECU using Circuit Simulation" JSAE 2019 No.73-19 -20195343

## 著者



篠田 卓也

しのだ たくや

基盤ハードウェア開発部  
電子系熱技術専門委員会 幹事  
電子機器のための開発設計のフロントロー  
ディングに従事



安井 龍太

やすい りゅうた

株式会社メイテック  
電子系の熱設計技術開発に従事