

# 特集 3次元実装に用いるチップ貫通電極形成技術\*

## Copper Electroplating Study for Through Silicon Chip Electrode of Three-dimensional Chip Stacking

富坂 学 星野雅孝 米村 均 高橋健司  
 Manabu TOMISAKA Masataka HOSHINO Hitoshi YONEMURA Kenji TAKAHASHI

Three-dimensional (3D) LSI chip stacking technologies <sup>1)2)3)4)5)</sup> have been extensively studied to realize high-density packaging and high operation performance. The Association of Super-Advanced Electronics Technologies (ASET) plans to accomplish the technology of stacking more than 5 chips which are 50 μm thick with 20 μm pitch bumps by the year of 2003. Through Si chip electrode is the shortest connection between stacked chips. It will reduce signal delay and is considered as a key technology for 3D chip stacking. In this paper, we report the Cu plating study filling into 10 μm square and 70 μm depth vias to form the through electrodes. We found that it could be almost filled up with the conventional plating solution.

**Key words** : ASET, Copper, Electro plating, Via filling, Three-dimensional, Chip stack

### 1. はじめに

#### 1.1 背景

近年、あらゆる分野において我々が処理、通信する情報量は、Fig.1に示すように爆発的に増加している。情報システム全体を(a) LSIチップ内、(b)チップのパッケージと実装、(c)チップを実装した基板間の長距離の通信に分けて考えると、(a)の各LSIチップ内部では加工サイズ微細化、クロック周波数向上により、(c)の基板間の長距離通信には光ファイバー網導入により、それぞれ情報量増大に対応している。(b)のチップをパッケージングして基板に実装する技術領域においても実装の高密度化、接続ピン数の増大、高速動作チップへの対応により情報処理量増大に対応していくことが必要である。<sup>1)2)3)4)5)</sup>

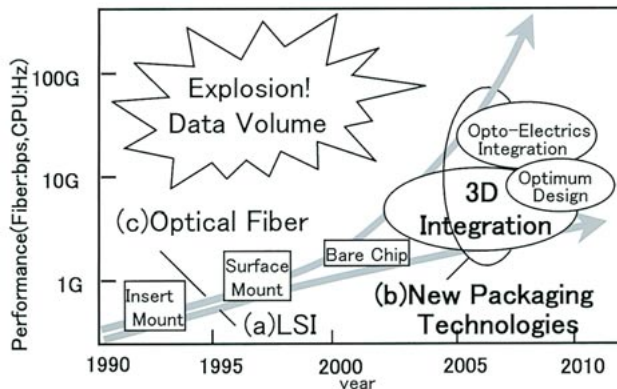


Fig.1 Demand of new packaging technologies

\* 2001年8月27日 原稿受理

#### 1.2 実装技術への要求

こうした背景を受けて実装技術に対し次の3点が求められている。

##### (1) 実装の3次元積層化

パッケージサイズはLSIチップと同等まで縮小化しており2次元配置での実装高密度化は限界に達しつつある。これ以上実装密度を上げるためにはチップを分けて3次元に積層実装する技術が必須である。

##### (2) チップ薄型化

チップを積層したパッケージ全体を高速動作させるため積層回路間距離を近付けたいという要求がある。また、チップを積層した時にパッケージ全体の厚さを低減したいという要求がある。そのため積層する各々のチップを薄くする必要がある。

##### (3) 電極の狭ピッチ化

接続ピン数を増加させるためには電極のピッチを狭ピッチ化する必要がある。

#### 1.3 ASET電子SI技術研究部の開発

1.2節で述べた(1)から(3)を主テーマとした3次元実装の開発を技術研究組合超先端電子技術開発機構(ASET)電子SI技術研究部で進めている。積層数5層、1層のチップ厚50 μm、電極ピッチ20 μm(1チップあたり1800ピン)を2003年に達成する計画である。

#### 1.4 3次元積層実装の要素技術

LSIチップを3次元実装するにはFig.2に示すような要素技術が必要である。本報告では、この中の貫通

電極技術の研究開発について述べる。

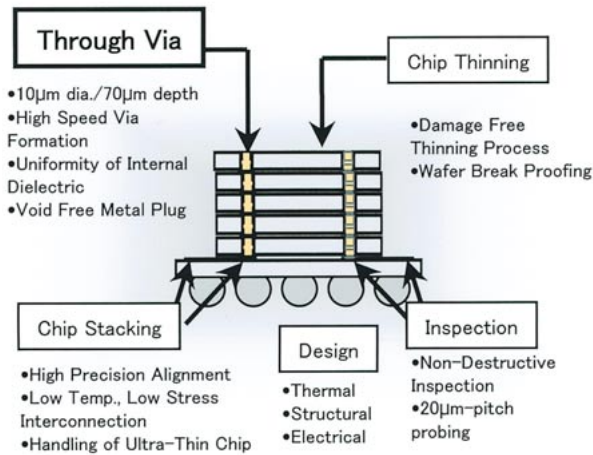


Fig.2 Technology map

貫通電極は積層するLSIチップ間を最短距離で接続するためシリコンチップを貫通する電極である。積層回路間をワイヤボンダ、あるいは個別のインターポーザを経由してチップ外で接続すると配線長は1mm近い長さとなり、信号波形の崩れや到達時間差などの問題が生じるが、貫通電極を用いれば回路間を垂直方向には50µmで接続可能となり、高速動作チップ間を接続する上で有利である。

1.5 工程フロー

チップ貫通電極を形成する主な工程をFig.3に示す。直径200mmのシリコンウェハにLSIを形成した状態から貫通電極の工程を始める (Fig.3(a))。LSI回路内とチップ貫通電極とを接続する配線溝を形成した後、レジストとSiO<sub>2</sub>をマスクとしてSiをウェハ表側から深さ70µmまでドライエッチングし (Fig.3(b))、表側だけに開いた深い孔を形成する。続いて電極とSiを絶縁するための膜を孔の内壁に形成し (Fig.3(c))、電極孔を電解Cuめっきで充てんする (Fig.3(d))。続いて平坦部のCuを化学機械研磨法で除去した後、表側に接続用パンプを形成する (Fig.3(e))。支持体を固定し (Fig.3(f))、ウェハを裏側から厚さ50µmまで研削してCuを露出させる (Fig.3(g))。この時点で電極孔がSiウェハを貫通する。裏面パンプ形成後、チップに切断し3次元に積層実装する (Fig.3(h))。

1.6 チップ貫通電極

貫通電極のサイズは開口部を10µm角、深さを70µmとした。深さは加工マージンを見込んで設定した。10µm角というサイズはFig.4に示すようにビルドアップ基板における縦方向接続部の約1/10と小さく、

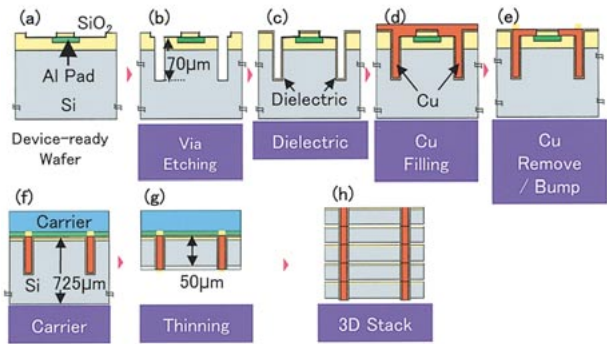


Fig.3 Process flow

LSIの多層配線で用いられる縦方向の接続部の約50倍と大きい。

また、チップ貫通電極の深さと開口の比は7であり、LSI多層配線のビアが5、ビルドアップ基板のビアが3であることと比較して大きい。この孔の金属充てん方法にCuめっきを用いることとした。LSIプロセスとして他に知られている多結晶シリコン、タングステン等の化学気相成長と比較して低温で低抵抗な電極を形成できる。

2章においてめっきの前までの工程である、エッチング、絶縁膜形成、バリアメタル、シード層形成の各工程について最先端の技術を用いて処理した結果を紹介し、3章において充てんめっき工程について研究開発中の内容について述べる。

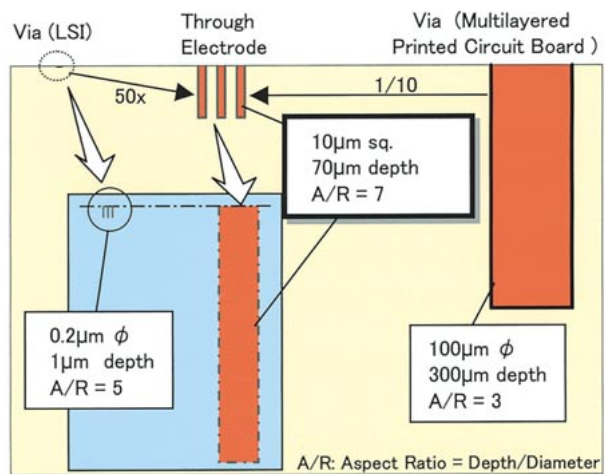


Fig.4 Via size comparison

1.7 目的

めっき工程における研究開発の目的は開口10µm深さ70µmの孔をCuで完全充てんすることである。

## 2. 電極孔形成および絶縁膜，バリアメタル，シード層の成膜

### 2.1 シリコンエッチ

シリコンに深い孔を形成する上で、デバイスへ与える電氣的なダメージが小さく、本プロセスに適用可能であると思われた技術を用い、エッチングした。エッチング後の断面形状をFig.5(a) およびFig.5(b)に示す。Fig.5(a)では側壁を二重に保護する技術<sup>6)</sup>を用いた結果であり垂直な形状が得られた。一方、Fig.5(b)はFig.5(a)の方式の10倍以上の速度でエッチング可能なフッ素を用いた異方性ドライエッチングの結果であり、エッチングマスクとしたSiO<sub>2</sub>の下のSiが0.6 μmほど横に広がったため、相対的にSiO<sub>2</sub>が内側にオーバハングした入り口が狭い形状となった。本研究では孔形状より短時間処理を重要視し、Fig.5(b)に用いたプロセスを用いることとした。

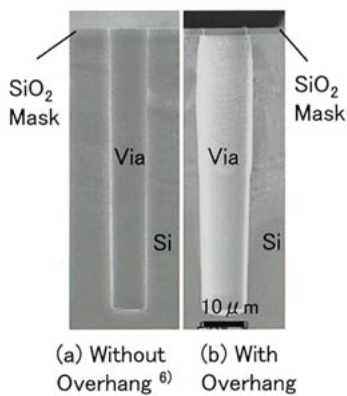


Fig.5 Cross sectional view of via hole as etched

### 2.2 孔内壁の絶縁膜形成

孔内壁の絶縁膜の成膜にはテトラエトキシシランを原料ガスとするSiO<sub>2</sub>の化学気相成長法を用いた。ウェハに高周波電圧を加えセルフバイアスする方式を用いて、原料ガスを孔の中へ引き込みながら成膜するよう条件を検討した。平均自由行程が孔の深さ程度となるよう圧力を40Paまで下げ、プラズマ電力を800Wまで上げウェハのバイアスを高めることによりFig.6(a)に示すように孔内面に絶縁膜を形成することができた。膜厚はウェハ表面が1.5 μmの時、孔側壁で200nm、底部で500nmである。

### 2.3 バリアメタルおよびシード層の成膜

めっきの下地層としてCuの拡散バリア層、およびめっき開始のシード層を形成する必要がある。通常LSIプロセスでは、スパッタ法が用いられるが、深さ

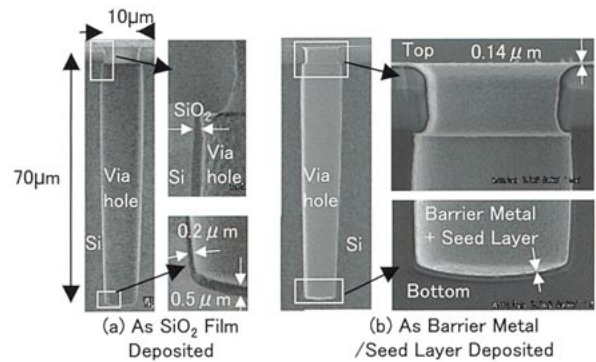


Fig.6 Cross sectional view of via hole

と開口径の比が7の孔に対しては開口部や側壁にわずかも凹凸があると凸部が陰になり、凹部の膜が不連続となった<sup>7)</sup>。そのため、有機金属を原料とする化学気相成長法を用いることとした。バリアメタルとしてTiNを10nm、シード層のCuを150nm成膜し、Fig.6(b)に示すように開口部から孔底部まで均一に形成されることを確認した。

## 3. 充てんめっき

### 3.1 事前実験

2章で作成した孔に市販のLSI多層配線用めっき液を用いて電界めっきした結果をFig.7に示す。孔内部のめっき厚は断面観察にて評価した。めっき後、孔底部までCuが認められたものの、中央にめっき液を含むと思われる空洞が残った。安定した電極性を形成するにはこの空洞を無くさねばならないと考えられる。

### 3.2 検討方針

開口10 μm、深さ70 μmというサイズではめっき浴を攪拌することで孔の液を攪拌する効果を得ることはほとんどないと考えられることから、添加剤の効果で平坦部や開口部のめっきを抑えながら電極内部を充てんする方針で検討を進めることとした。

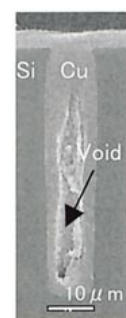


Fig.7 Cross section of via with void

用いためっき液組成をTable 1に示す。Bath Aは開口0.2 μm程度の孔を充てんするLSI多層配線用、Bath Bは開口100 μm以上の孔を充てんするプリント基板用である。両者共、孔に空洞を残さず充てんするため、平坦部のめっきを抑制する抑制剤 ( suppressor )、電極孔内部のめっきを促進する促進剤 ( accelerator )、塩素イオン ( 50ppm ) を添加



Table 1 Bath condition

	CuSO <sub>4</sub> ·5H <sub>2</sub> O	H <sub>2</sub> SO <sub>4</sub>	Accelerator	Suppressor	Cl <sup>-</sup>
Bath A	200g/L	100g/L	1.5mL/L	5mL/L	50ppm
Bath B	200g/L	100g/L	2.5mL/L	15mL/L	50ppm

Bath A: for LSI Via filling  
 Bath B: for Via Filling in Printed Circuit Board

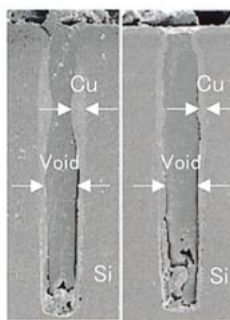
剤として含む。

また、電流密度、パルス電流を用いた場合のオフ時間を変え、それぞれ電極孔内部のめっき厚に与える影響を評価することとした。添加剤濃度の検討、およびパルスオフ時間の検討においては開口部がふさがる前の電極孔内部のCuめっき厚を評価するため、めっき厚を3μmとし、その他は7μmとした。

### 3.3 結果

#### 3.3.1 めっき液の添加剤濃度検討結果

Table 1に示した液を用いて、電流密度50A/m<sup>2</sup>で、その順方向、逆方向、オフの時間幅をそれぞれ10ms、0.5ms、1msとしてパルス波形にてめっきした場合の電極断面をめっきした場合の電極断面をFig.8に示す。Fig.8(a)(b)共に、孔底部までCuが認められたが、開口0.2μm、深さ1μm程度の孔を埋めるLSI多層配線用めっき液(Bath A)では、開口から約20μmの位置にCuが最も厚くめっきされたのに対し、開口100μm、深さ300μm程度の孔を埋め込むプリント基板用の液(Bath B)を用いた場合は、電極孔内部に均一にCuをめっきできることがわかった。Bath BがBath Aより空洞を形成しにくいと考え、以後プリント基板用の組成(Bath B)を基に実験を進めることとした。



(a) Bath A (b) Bath B

Fig.8 Bath comparison(As 3 μ m plated)

#### 3.3.2 添加剤濃度が電極孔内部のめっき厚に与える影響

Table 1のBath Bの組成を元に添加剤の濃度を変えてめっきを行った。すべて開口部から底部にむかってCu膜厚が減少したが、水準間の差は認められた。孔

の底部に近い深さ60μmの位置のCuめっき厚を比較した結果をFig.9からFig.11に示す。

開口10μm深さ70μmという孔形状にめっきする場合、孔内部のめっき厚を厚くするためにはプリント基板用のめっき液組成に対して抑制剤濃度、塩化物イオン濃度の増加と促進剤濃度低減が有効であることがわかった。

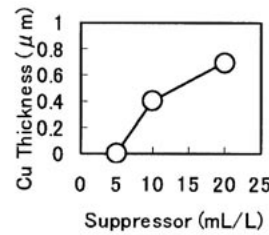


Fig.9 Suppressor concentration dependence

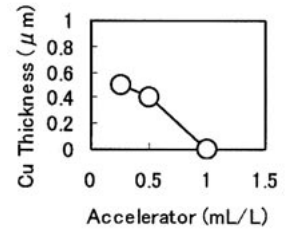


Fig.10 Accelerator concentration dependence

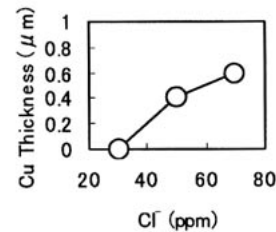


Fig.11 Cl<sup>-</sup> concentration dependence

#### 3.3.3 パルスオフ時間の検討

順方向10ms、逆方向0.5ms、オフ時間1.0msからなるパルス電流のオフ時間を5ms、10msに延ばしてめっきを行った。めっきにより孔内部ではCu<sup>2+</sup>イオンが消費され濃度が低下するので、オフ時間を延ばし浴中から孔内部へのCu<sup>2+</sup>供給を増やすことが目的である。なお、パルスの逆方向電流は、突起部のエッチングではなく、めっき中に低下する添加剤の効果を回復させる添加剤効果を増強する目的で導入している。結果をFig.12に示す。パルスめっきのオフ時間を基準の1msに対し、5ms、10msと延ばすことでめっき厚を

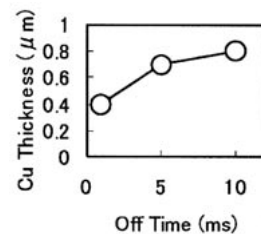


Fig.12 Pulse off time dependence

厚くできることがわかった。

### 3.3.4 追加試験

以上の結果を考慮し、孔内部のめっき厚を厚くするよう、促進剤0.25mL/L、抑制剤20mL/L、塩化物イオン70ppm、電流密度50A/m<sup>2</sup>、パルスオフ時間5msとしてめっき厚7μm狙いで再度めっきを行った。

めっき後の電極孔断面をFig.13に、深さ60μmの位置におけるCu膜厚の比較をFig.14に示す。下地形状に沿って均一にめっきができており、電極孔内部のCuめっき厚を3μm以上、空洞を2μm以下にすることができた。

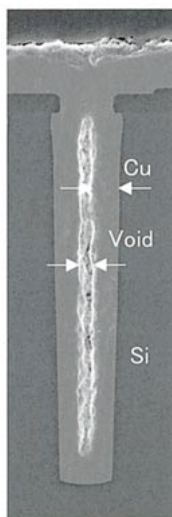


Fig.13 Cross sectional view as 7 μm Cu plated

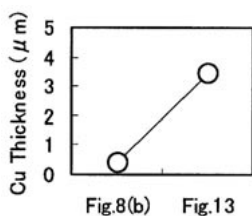


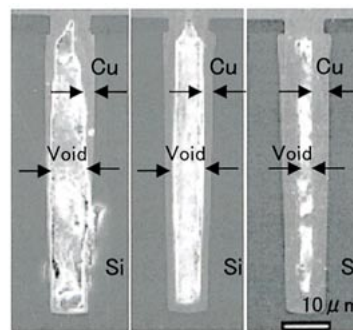
Fig.14 Improvement of Cu thickness

### 3.3.5 電流密度の影響

Table 2に示す液を用いて直流において電流密度を100A/m<sup>2</sup>、30A/m<sup>2</sup>、10A/m<sup>2</sup>と変えた結果をFig.15に示す。添加剤として光沢剤のみを用いた場合、30A/m<sup>2</sup>以下で孔内部に均一にめっきでき、低電流密度化することにより充てん性を改善できることがわかった。

Table 2 Bath condition

	CuSO <sub>4</sub> ·5H <sub>2</sub> O	H <sub>2</sub> SO <sub>4</sub>	Blightener
Bath C	70g/L	190g/L	5mL/L



(a) 100A/m<sup>2</sup> (b) 30A/m<sup>2</sup> (c) 10A/m<sup>2</sup>

Fig.15 Current density dependence

## 3.4 考察

### 3.4.1 添加剤濃度の影響

抑制剤濃度を上げることにより孔内部のめっき厚を厚くすることができた。これは電界が集中する平坦部、突起部において、抑制剤が付着してめっき速度を抑制する<sup>8)</sup>ことから、抑制剤濃度を増加することによって抑制効果を増大できる領域にあると考えられる。

促進剤濃度を下げることにより孔内部のめっき厚が増加した。一方逆に促進剤濃度を高めた場合、実験を進めたBath BにおいてもBath Aを用いたFig.8(a)と同様に開口部から深さ20μmの位置に厚くめっきされる現象が現れた。これは促進剤がCuめっき速度を高める効果がこの位置でもっとも強く現れたためであると考えられる。電極孔を完全に充てんするためには孔底からめっきする<sup>9)10)11)</sup>必要があると考えており、そのためには、新たに抑制剤の効果とバランス、促進剤が機能する電位などを考慮しながら、促進効果最大点を電極孔の底付近に位置させねばならない。

塩化物イオンにはCuを面成長にする機能<sup>8)</sup>と成長核生成数を増加させめっきを促進する効果<sup>12)</sup>がある。今回塩化物イオン濃度の増加と共に電極孔内部のCuめっき厚が増加した。後者の促進効果が現れたと考えられる。

下地に沿っためっき成長では充てんの後半に近づくほど孔が細く深くなり空洞が残りがやすくなる。それを避けるため、孔底からめっきが成長する条件<sup>9)</sup>を今後検討する必要があると考えられる。

### 3.4.2 パルスオフ時間

パルスオフ時間を長くすることにより孔内部のめっき厚を厚くすることができた (Fig.12)。5msから10msに変えた場合と比較し1msから5msまで延長した効果が大きかった。5msから10msの変化が小さく

なるのはCu<sup>2+</sup>イオンの拡散移動が飽和してくるためであると考えられる。

### 3.4.3 電流密度

Fig.15に電流密度依存性を示す。電流密度30A/m<sup>2</sup>では、孔内部に均一にめっきされる。10A/m<sup>2</sup>では電極中央に空洞が残るが、そのサイズはFig.13と同様2 μm以下にできる。電流密度低減はめっき速度を低減し望ましくない。そこで高速化を検討する上でFig.15(b)に示した孔内部に均一にめっきされる電流密度30A/m<sup>2</sup>の場合のCu<sup>2+</sup>イオン供給を見積もった。120minで内壁にCuが均一に2 μmめっきされ、開口部を通過するのがすべて2価のCu<sup>2+</sup>イオンとすれば、通過速度は7 × 10<sup>20</sup>atom/s/m<sup>2</sup>と見積もられる。

一方孔内部を完全に充填する例として、LSIの多層配線の孔埋め込みでは開口0.2 μm深さ1 μmの孔を典型的に約1 minで充てんしている。このときめっき浴から孔内部へのCu<sup>2+</sup>イオン供給は平均1 × 10<sup>21</sup>atom/s/m<sup>2</sup>と見積もられ、Fig.15(b)の場合の約1.4倍の値である。Cu<sup>2+</sup>イオン供給速度を1.4倍にできたとしても、開口10 μm深さ70 μmの孔を充てんするには約90分必要である。今後空洞を完全に無くす検討と共に、めっき高速化についても検討を進める必要があると考えられる。

## 4. 結論

- (1) シリコンドライエッチにより開口10 μm、深さ70 μmの孔を形成し、化学気相堆積法により孔内壁に絶縁膜、バリアメタル、シード層を形成することが可能であることを示した。
- (2) Cu電界めっきを用いて開口10 μm深さ70 μm(アスペクト比7)の孔を完全に充てんするための方針を明確にした。市販液を元に添加剤濃度、電流密度の検討することにより、孔中央に残る空洞を2 μmまで低減できることを示した。

### 謝辞

本研究は経済産業省プロジェクト「超高密度電子SI技術の研究開発」の一環として新エネルギー・産業技術開発機構(NEDO)から委託されて行ったものである。

## <参考文献>

- 1) M. Bonkohara, Proc. 4th Symp. of Microjoining and Assembly Technology in Electronics 1998 (1998), p. 1.
- 2) M. Ishino, et al., EMC Vol. 140, No.117, (1999)
- 3) K. Takahashi, et al., to be published in Jpn. J. Appl. Phys. 40, No.4B (2001).
- 4) K. Sasaki, et al., Proc. of International Conference on Electronics Packaging 2001, (2001), p.39.
- 5) M. Koyanagi, et al., IEEE Micro Vol. 18, No.17, (1998).
- 6) J. Ohara, et al.: Proc. MEMS 2000 (2000), p. 277.
- 7) 高橋, 他: ASET平成11年度成果報告書, (2000), p.52.
- 8) Kondo: Proc. Admeta2000, (2000), p.73.
- 9) Andricacos, Uzoh, Dukovic, Horkans and Deligianini: IBM J. Res. Develop., Vol. 42, No. 5 (1998) p. 567.
- 10) Kelly, Tian and West: J. Electrochem. Soc., Vol. 146, No.7, (1999), p.2540.
- 11) Wu and Barkey, J. Electrochem. Soc., Vol. 147, No.3, (2000), p.1038.
- 12) Kelly and West: J. Electrochem. Soc., Vol. 145, No.10 (1998), p.3472.

< 著 者 >



富坂 学  
(とみさか まなぶ)

技術研究組合  
超先端電子技術開発機構(ASET)  
電子SI技術研究部研究員  
(生産技術開発部より出向)  
チップ貫通電極形成技術の研究開発に従事



星野 雅孝  
(ほしの まさたか)

技術研究組合  
超先端電子技術開発機構(ASET)  
電子SI技術研究部  
主任研究員  
チップ貫通電極形成技術の研究開発に従事



米村 均  
(よねむら ひとし)

技術研究組合  
超先端電子技術開発機構(ASET)  
電子SI技術研究部  
主任研究員  
チップ貫通電極形成技術の研究開発に従事



高橋 健司  
(たかはし けんじ)

技術研究組合  
超先端電子技術開発機構(ASET)  
電子SI技術研究部  
筑波研究センタ室長  
三次元実装技術の研究開発に従事